

Digital Systems (Exam)

(TI2720-B)

Monday 07 November 2011 (09:00 - 12:00)

Directions for filling in the answer sheet:

- Fill in answer sheet using a pencil (eraser allowed) or ballpoint. (ensure high enough contrast when "coloring" boxes)
 - Do not forget your name, student number, and signature.
 - Fill in your student number in code also and double check.
 - In case an answer is unknown it is better to guess than leave open.
 - Do not fill in the code figures in the lower right corner.
 - **Start with answering the "easiest" questions first!!**
 - In case you do not understand a question, ask the teacher present.
 - In case of cheating, no grade will be given and you will be reported.
-

Opgave 1: (Question 1)

Gegeven de functie: (English: Given the function:)

$$F(A,B,C,D) = (A' + B) \cdot (C' + D) \cdot (A + B' + C + D')$$

Hoeveel priem-implikaten (PI) en hoeveel essentiële priem-implikaten (EPI) zijn er in deze functie te vinden ? (English: How many prime implicants (PI) and how many essential prime implicants (EPI) can be identified in this function?)

- | | | | |
|----|-------------------|----|-------------------|
| a. | 3 PI's en 3 EPI's | c. | 6 PI's en 0 EPI's |
| b. | 4 PI's en 3 EPI's | d. | 8 PI's en 0 EPI's |

Opgave 2: (Question 2)

Welk van de 4 volgende optellingen van 8 bits two's complement getallen zal een overflow geven? (English: Which of the following four additions of 8-bit 2's complement numbers will result in an overflow?)

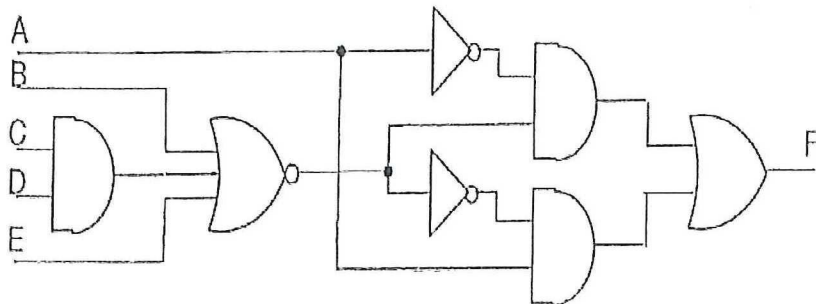
- | | | | | | | | |
|----|-------------------|----|-------------------|----|-------------------|----|-------------------|
| a. | 10010000 | b. | 00100000 | c. | 10100000 | d. | 00001111 |
| | <u>11110000</u> + | | <u>11110000</u> + | | <u>01111111</u> + | | <u>01110111</u> + |

Opgave 3: (Question 3)

In VHDL worden naast signalen ook variabelen gebruikt. Welke van de volgende 4 beweringen is juist? (English: In VHDL, variables are being used next to signals. Which of the following 4 statements are correct?)

- In een process body mogen alleen signalen worden gebruikt.
(English: In a process body, only signals can be used.)
- Variabelen komen alleen voor in functies en procedures.
(English: Variables only occur in functions and procedures.)
- Toekenning van een nieuwe waarde aan een variabele gebeurt pas een delta delay later.
(English: Variables are assigned a new value after a delta delay.)
- Geen van de bovenstaande beweringen is juist.
(English: None of the above statements is correct.)

Opgave 4: (Question 4)



Wat is de netwerkvertraging t_{pLH} van nevenstaande schakeling als gegeven is dat de output load van de schakeling 1 is ? (Maak gebruik van de tabel op deze pagina)

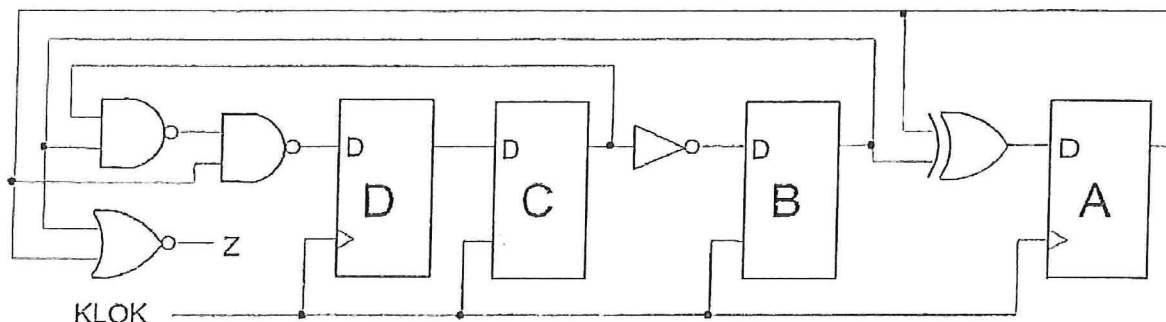
(English: What is the network propagation delay t_{pLH} of the given circuit when it is assumed that the output load of the circuit is 1? (Make use of the table below))

- a. 0.686 ns
- b. 0.703 ns
- c. 0.860 ns
- d. 0.971 ns

Characteristics of a family of CMOS gates

Gate Type	Fan in	Propagation Delays		Load Factor		Size
		t_{pLH} (ns)	t_{pHL} (ns)	(standard loads)	(equivalent gates)	
AND	2	0.15 + 0.037L	0.16 + 0.017L	1.0	2	
AND	3	0.20 + 0.038L	0.18 + 0.018L	1.0	2	
AND	4	0.28 + 0.039L	0.21 + 0.019L	1.0	3	
OR	2	0.12 + 0.037L	0.20 + 0.019L	1.0	2	
OR	3	0.12 + 0.038L	0.34 + 0.022L	1.0	2	
OR	4	0.13 + 0.038L	0.45 + 0.025L	1.0	3	
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1.0	1	
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1.0	1	
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1.0	2	
NAND	4	0.10 + 0.037L	0.12 + 0.051L	1.0	2	
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1.0	4	
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1.0	5	
NAND	8	0.24 + 0.038L	0.42 + 0.019L	1.0	6	
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1.0	1	
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1.0	2	
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1.0	4	
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1.0	4	
NOR	6	0.46 + 0.037L	0.24 + 0.018L	1.0	5	
NOR	8	0.54 + 0.038L	0.23 + 0.018L	1.0	6	
XOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3	
XOR	3*	0.16 + 0.036L	0.15 + 0.020L	2.0		
		0.50 + 0.038L	0.49 + 0.027L	1.1	6	
		0.28 + 0.039L	0.27 + 0.027L	2.4		
XNOR	2*	0.19 + 0.036L	0.17 + 0.025L	2.1		
		0.30 + 0.036L	0.30 + 0.021L	1.1	3	
		0.16 + 0.036L	0.15 + 0.020L	2.0		
XNOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6	
		0.28 + 0.039L	0.27 + 0.027L	2.3		
		0.19 + 0.036L	0.17 + 0.025L	1.3		
2-OR/NAND2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2	
2-AND/NOR2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2	

Opgave 5: (Question 5)



Bovenstaand schema is opgebouwd uit 4 D-flipflops en enkele poorten, en heeft een uitgang z. Als de periodeduur van de klokpuls T_p is, wat is dan de tijdsduur tussen 2 opgaande flanken van het uitgangssignaal z uitgedrukt in T_p ? (Hint: Start in stand DCBA = 0001)

(English: The circuit above comprises 4 D-flipflops and several gates, and an output z. Assuming that the clock period is T_p , what is the duration between two rising edges of the output signal z expressed in T_p ? (Hint: Start in state DCBA = 0001))

- a. 9 T_p b. 10 T_p c. 11 T_p d. 12 T_p

Opgave 6: (Question 6)

Van de schema gegeven in vraag 5 zijn voor de componenten de volgende tijden gegeven: (English: The timing and delays of the components used in Question 5 are given below:)

D-flipflops

delay XOR: 10 nsec.

delay NOR: 5 nsec.

delay NAND: 4 nsec.

delay INVERTER: 2 nsec.

setup tijd: 4 nsec.

holdtijd: 2 nsec.

omslagtijd: 5 nsec.

Welke van de onderstaande waarde kan als max. klokpulsfrequentie worden gekozen waarbij het systeem nog goed kan werken? (English: Which of the following frequencies can be used as the maximum frequency while ensuring that the circuit still functions correctly?)

- a. 40 MHz b. 45 MHz c. 50 MHz d. 55 MHz

Opgave 7: (Question 7)

Met 64 geheugenchips van 1Mx4 en een aantal 2-input decoderchips wordt een zo groot mogelijk geheugensysteem voor woorden van 16 bits samengesteld.

Hoeveel decoderchips zijn er voor dit systeem nodig?

(English: With 64 memory elements of size 1Mx4 and several 2-input decoder chips an as large as possible memory system with words of 16 bits is being built. How many decoder chips are needed for this system?)

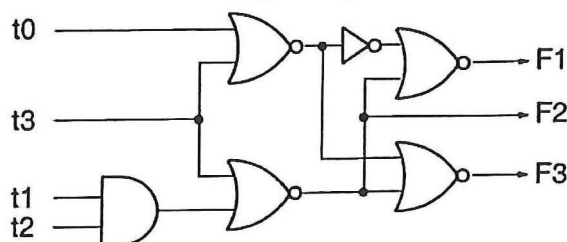
- a. 3 b. 4 c. 5 d. 8

Opgave 8: (Question 8)

Op een kruispunt wordt de besturing van de cyclus van twee stoplichten door een binaire teller geregeld. In onderstaande tabel is aangegeven welke lampen, R(rood), G(groen) of O(oranje) van de verkeerslichten L0 en L1 respectievelijk branden bij de opeenvolgende tellerstanden. Het onderstaande schema bestuurt de drie lampen van een der stoplichten.

(English: At a traffic crossing, the color cycling of two traffic lights are being controlled by a binary counter. In the table below, the lights (R)ed, (G)reen, and (O)range of traffic lights L0 and L1 are lit respectively depending on the sequence of counter states. The circuit below controls the three lights of the traffic lights.)

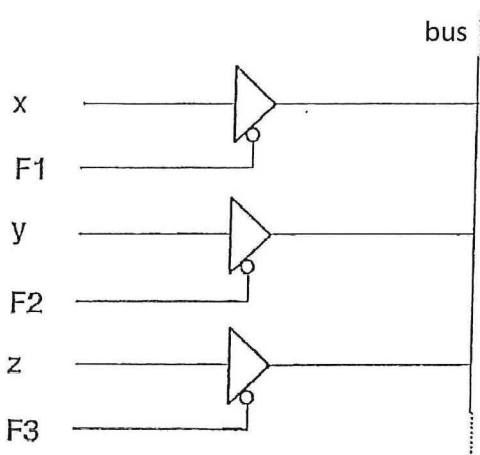
t ₃₋₂₋₁	L0	L1	t ₃₋₂₋₁	L0	L1
0			0		
0000	G	R	1000	R	G
0001	G	R	1001	R	G
0010	G	R	1010	R	G
0011	G	R	1011	R	G
0100	G	R	1100	R	G
0101	G	R	1101	R	G
0110	O	R	1110	R	O
0111	R	R	1111	R	R



Welke uitgang Fx van de schakeling bestuurt de R(ode) lamp van L0? (English: Which output Fx controls the (R)ed light of traffic light L0?)

- a. F1 b. F2 c. F3 d. geen (none)

Opgave 9: (Question 9)



Een drietal willekeurige signalen x, y en z zijn via TRI-state buffers met een bus verbonden, zoals hiernaast getekend. Er zijn 2 stuurfunkties gegeven nl.: $F1 = B' + D$ en $F2 = A' \cdot C' + D'$ --- Welke stuurfunktie F3 kan gebruikt worden zodat de schakeling correct kan werken. (English: Three random signals x, y, and z are connected to a bus using TRI-state buffers (see figure). Two driver functions are given: $F1 = B' + D$ and $F2 = A' \cdot C' + D'$ --- Which driver function F3 can be used to ensure correct functioning?)

- a. $A + B' + C$ b. $A + B + D'$ c. $A' + C' + D$ d. $A' + B + D$

Opgave 10: (Question 10)

Een teller bestaande uit 4 D-flipflops D, C, B en A doorloopt cyclisch de toestanden DCBA volgens: 0001, 1010, 0101, 0111, 0011, 1110, 1001, 0010, 1100, 1101, 1111, 1011, 0110, 0001 enz. Hoe ziet in formule de aansturing van flipflop A eruit?

(English: A counter consisting of 4 D-flipflops D, C, B, and A cycles through the states DCBA according: 0001, 1010, 0101, 0111, 0011, 1110, 1001, 0010, 1100, 1101, 1111, 1011, 0110, 0001 etc. What is the expression to control flipflop A?)

- a. $(C \oplus D)'$ b. $B' + C'$ c. A d. $C + A'.D$

Opgave 11: (Question 11)

Als toestandstabel is gegeven: (English: Given the following state table:)

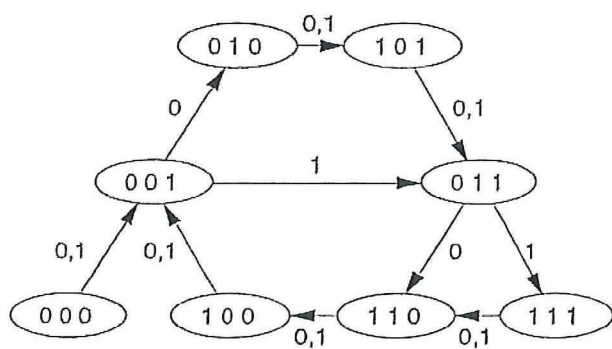
PS	x=0	x=1	x=2
A	I, 0	C, 0	D, 0
B	H, 0	F, 0	E, 0
C	A, 0	I, 0	D, 0
D	J, 1	B, 1	F, 1
E	J, 0	B, 0	G, 0
F	H, 0	G, 0	B, 0
G	J, 0	E, 0	F, 0
H	J, 0	B, 0	D, 0
I	C, 0	A, 0	D, 0
J	H, 0	F, 0	D, 0
	NS, z		

Hierin is x een input en z een output met $x, z \in \{0, 1, 2\}$. Welk tweetal toestanden is wel 2-equivalent, maar niet 3-equivalent?

(English: Here, x is the input and z is the output with $x, z \in \{0, 1, 2\}$. Which pair of states is 2-equivalent, but not 3-equivalent?)

- a. H en I
b. H en J
c. C en A
d. C en I

Opgave 12: (Question 12)

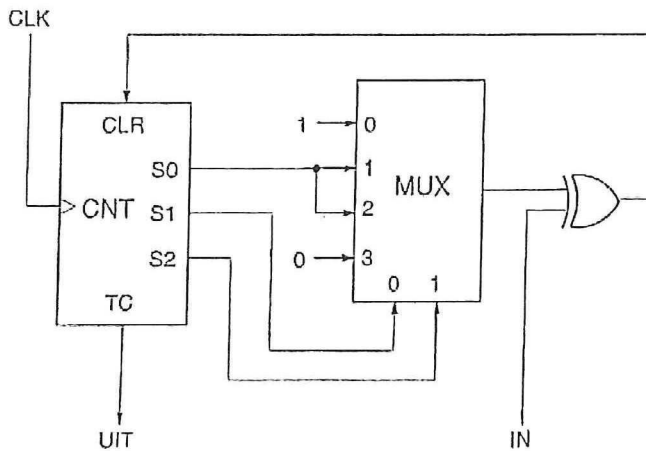


Van een schakeling opgebouwd uit 3 JK FLIP-FLOPS C, B en A en een ingangssignaal S is het gecodeerde toestandsdiagram hiernaast gegeven. Uit de coderingen CBA is te zien dat C en B direct bestuurd worden door respectievelijk B en A (schuifregistersekties). Bepaal de sturing van de JK FLIP-FLOP A.

- | | J | K |
|----|---------------|---------------------|
| a. | $S.(C' + B')$ | $S'.C' + B.C$ |
| b. | $C' + B'$ | $S'.C' + B.C$ |
| c. | $C' + B'$ | $(S + C).(B' + C')$ |
| d. | $S.(C' + B')$ | $(S + C).(B' + C')$ |

(English: Of a circuit comprising 3 JK flip-flops C, B, and A and an input signal S, the coded state diagram is given above. From the coding of CBA, we can observe that C and B are directly controlled by B and A (shift register sections). Derive the control of JK flip-flop A.)

Opgave 13: (Question 13)



Het gegeven schema bestaat uit een 3-bits binaire teller, een multiplexer met 4 data-ingangen, en een poort. De CLR-ingang van de teller is synchroon, dus het resetten wordt pas geëffectueerd op de klokpuls. Als de teller wordt gestart in de 0 0 0 stand, welke ingangsbittreeks $b_0 b_1 b_2 \dots b_5 b_6$ zal een 1 bij de uitgang UIT geven? (S0 is het laagstwaardige bit van de teller)

(English: The given circuit comprises a 3-bit binary counter, a multiplexer with 4 data inputs, and a gate. The CLR input of the counter is synchronous meaning that the reset is only effected on the clock pulse. If the counter is starting in the 0 0 0 state, which input sequence $b_0 b_1 b_2 \dots b_5 b_6$ will result in a '1' at the UIT output? (S0 is the least significant bit of the counter)

- a. 1 1 0 1 0 1 0
- b. 1 1 0 0 0 1 0
- c. 1 1 0 0 1 1 0
- d. 1 1 0 1 1 1 0

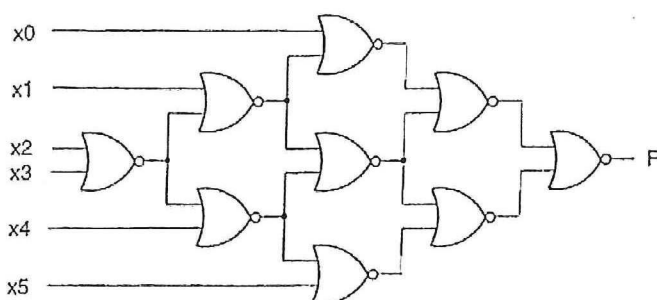
Opgave 14: (Question 14)

Iemand slaat bij het opschrijven van een **hexadecimaal** getal één cijfer over en krijgt daardoor 14080_{10} (decimaal) te weinig. Welk cijfer heeft hij overgeslagen?

(English: Someone erroneously skips a digit when writing down a hexadecimal value and as a consequence receives less of the amount of 14080_{10} (decimal). Which digit did he skip?)

- a. 9
- b. A
- c. B
- d. C

Opgave 15: (Question 15)

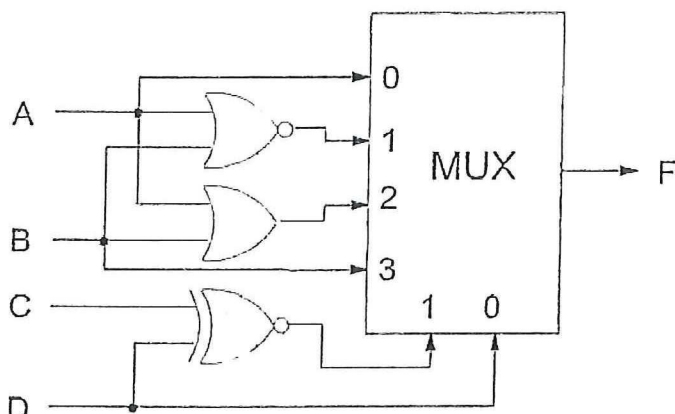


Bepaal de $F(x_5, x_4, x_3, x_2, x_1, x_0)$ van nevenstaand poortnetwerk.

(English: Determine $F(x_5, x_4, x_3, x_2, x_1, x_0)$ of the given gate network.)

- a. $x_0' + x_5' + x_1.x_4.(x_2' + x_3')$
- b. $x_0'.x_5' + x_1.x_4$
- c. $x_1 + x_4 + x_0'.x_5' + x_2'.x_3'$
- d. $x_2'.x_3' + x_1.x_4$

Opgave 16: (Question 16)

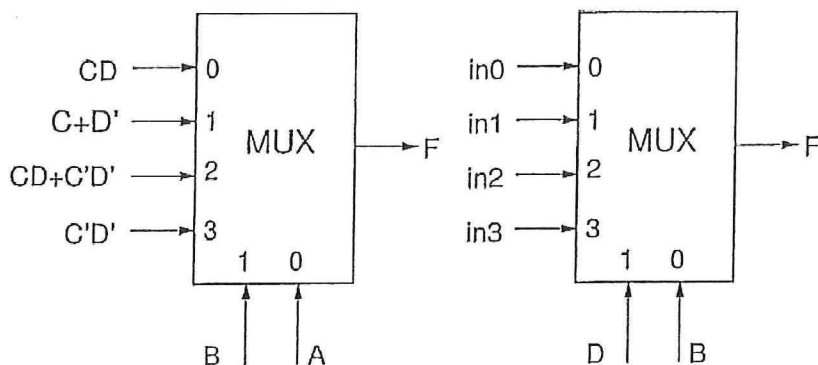


Bepaal de mintermvorm van $F(D, C, B, A)$:

(English: Determine $F(D, C, B, A)$ in terms of minterms:)

- a. $\Sigma m(1, 2, 3, 5, 7, 8, 14, 15)$
- b. $\Sigma m(1, 3, 5, 6, 7, 10, 11, 12)$
- c. $\Sigma m(1, 3, 5, 6, 7, 8, 14, 15)$
- d. $\Sigma m(1, 2, 3, 5, 7, 9, 11, 13, 14, 15)$

Opgave 17: (Question 17)



Met behulp van een multiplexer wordt de functie $F(A, B, C, D)$ gemaakt. Wat moet er als in2 worden aangeboden om voor beide MUX schakelingen identieke uitgangen $F(A, B, C, D)$ te realiseren ?

(English: Using a multiplexer, the function $F(A, B, C, D)$ is realized. What needs to be provided at input in2 to ensure that both MUXes realize the same function $F(A, B, C, D)$?)

- a. C'
- b. C
- c. $A'C$
- d. A

Opgave 18: (Question 18)

Wat is de formule van het netwerk wat voor een T-flipflop gezet moet worden om er een JK-flipflop van te maken ?

(English: What is the expression of the network that needs to be placed in front of a T-flipflop in order to simulate a JK-flipflop?)

- a. $T(t) = j(t) \cdot Q'(t) + k'(t) \cdot Q(t)$
- b. $T(t) = j(t) \cdot Q'(t) + k(t) \cdot Q(t)$
- c. $T(t) = k(t) \cdot Q'(t) + j'(t) \cdot Q(t)$
- d. $T(t) = k(t) \cdot Q'(t) + j(t) \cdot Q(t)$

Opgave 19: (Question 19)

De functie $f = (a + b) \oplus (c + d)$ is in de mintermvorm te schrijven als:
(English: The function $f = (a + b) \oplus (c + d)$ can be written in minterm notation as:)

- a. $f(d, c, b, a) = \sum m(5, 6, 7, 9, 10, 11, 13, 14)$
- b. $f(d, c, b, a) = \sum m(1, 2, 4, 5, 6, 8, 9, 10)$
- c. $f(d, c, b, a) = \sum m(5, 6, 9, 10, 13, 14, 15)$
- d. $f(d, c, b, a) = \sum m(1, 2, 3, 4, 8, 12)$

Opgave 20: (Question 20)

Gegeven zijn de volgende processen:

(English: Given the following processes:)

```
proc1:    process (x,y,z) is  -- Process 1
          variable var_s1 : std_logic;
          begin
            L1: var_s1 := x and y;
            L2: res1 := var_s1 nor z;
          end process;
```

```
proc2:    process (x,y,z) is  -- Process 2
          begin
            L3: sig_s1 <= x and y;
            L4: res2 <= sig_s1 nor z;
          end process;
```

De waarden van de signalen voordat de processen starten, zijn als volgt: $x = '1'$, $y = '1'$, $z = '0'$, $\text{sig_s1} = '0'$. Wat is de waarde van 'res' na executie van beide processen?

(English: The values of the signal before the processes start are: $x = '1'$, $y = '1'$, $z = '0'$, $\text{sig_s1} = '0'$. What are the values of 'res1' and 'res2' after the execution of both processes?)

	Process 1	Process 2
a.	0	0
b.	1	0
c.	0	1
d.	1	1