

Digital Systems

(TI2726-A)

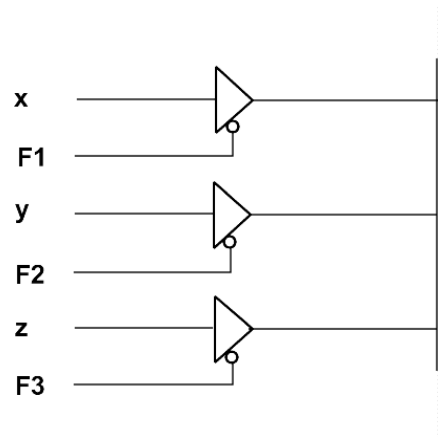
Thursday 05 November 2015 (13:30 - 16:30)

Directions for filling in the answer sheet:

- Fill in answer sheet using a pencil (eraser allowed) or ballpoint. (ensure high enough contrast when "coloring" boxes)
 - Do not forget your name, student number, and signature.
 - Fill in your student number in code also and double check.
 - In case an answer is unknown it is better to guess than leave open.
 - Do not fill in the code figures in the lower right corner.
 - **Start with answering the "easiest" questions first!!**
 - In case you do not understand a question, ask the lecturer present.
 - In case of cheating, no grade will be given and you will be reported.
-

Question 1:

Een drietal willekeurige signalen x , y en z zijn via TRI-state buffers met een buslijn verbonden, zoals hier getekend. Er zijn 2 stuurfuncties gegeven, nl.: $F1 = A'.B' + D$ en $F2 = A' + D'$ --- Welke stuurfunctie $F3$ kan worden gebruikt zodat de schakeling correct kan werken? (English: Three random signals x , y , and z are connected to a bus using TRI-state buffers (see figure). Two driver functions are given: $F1 = A'.B' + D$ en $F2 = A' + D'$ --- Which driver function $F3$ can be used to ensure correct functioning?)



- a. $A + B + D'$ b. $A' + C' + D$ c. $A' + B + D$ d. $A + B' + C$

Question 2:

Gegeven is de expressie $E(x_3, x_2, x_1, x_0) = \prod M(1, 3, 4, 6, 9, 14)$. Hoeveel priemimplicanten (PI), en hoeveel essentiële priemimplicanten (EPI) zijn er in deze functie te vinden? (English: Given the expression $E(x_3, x_2, x_1, x_0) = \prod M(1, 3, 4, 6, 9, 14)$. How many prime implicants (PI) and how many essential prime implicants (EPI) are present?)

- a. 4 PI's en/and 2 EPI's b. 4 PI's en/and 4 EPI's
c. 6 PI's en/and 2 EPI's d. 6 PI's en/and 4 EPI's

Question 3:

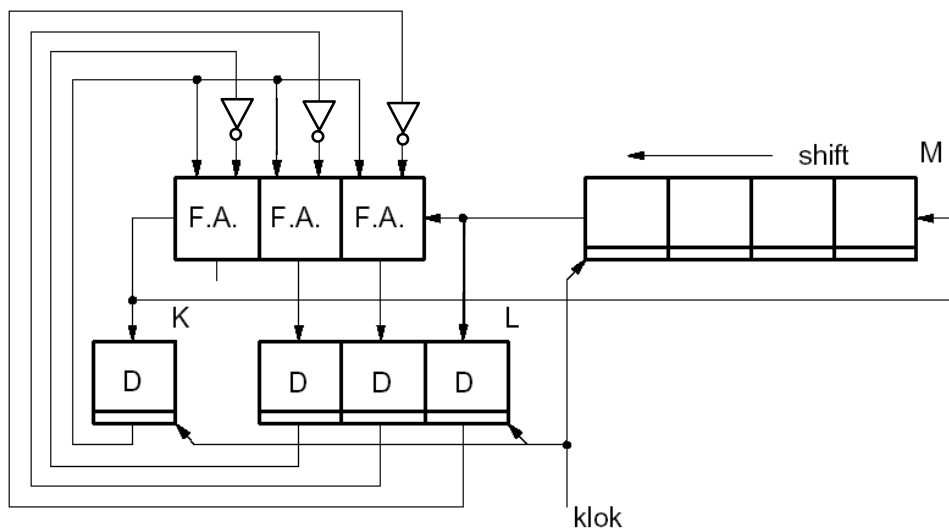
De functie $F = (A \oplus B) \oplus (A + C)$ kan geschreven worden als:

(English: The function $F = (A \oplus B) \oplus (A + C)$ can be written as:)

- a. $A.B + B.C + A'.B'.C$
b. $A.B + B.C' + A'.B'.C$
c. $A.B' + B.C + A'.B'.C$
d. $A.B' + B.C' + A'.B'.C$

Question 4:

Gegeven is een synchrone sequentiële schakeling zoals hieronder is aangegeven. De schakeling bestaat uit een D-flip-flop K, een parallel load-register L van 3 secties, een schuifregister M van 4 secties en een carry-ripple adder bestaande uit 3 "Full adder"s. (English: Below is given a synchronous sequential circuit that is comprised of a D-flipflop K, a parallel load-register L with 3 sections, a shift register M with 4 sections, and a ripple carry adder consisting of 3 full adders.)



Voor de startinhouden geldt: $K = 0$, $L = 1\ 0\ 1$, en $M = 1\ 1\ 0\ 1$.
 Wat is na 4 klokpulsen de inhoud van register M? (English: The initial contents are: $K = 0$, $L = 1\ 0\ 1$, en $M = 1\ 1\ 0\ 1$. What is the content of register M after 4 clock cycles?)
 a. 0 0 0 1 b. 0 0 1 0 c. 0 1 0 0 d. 1 0 0 0

Question 5:

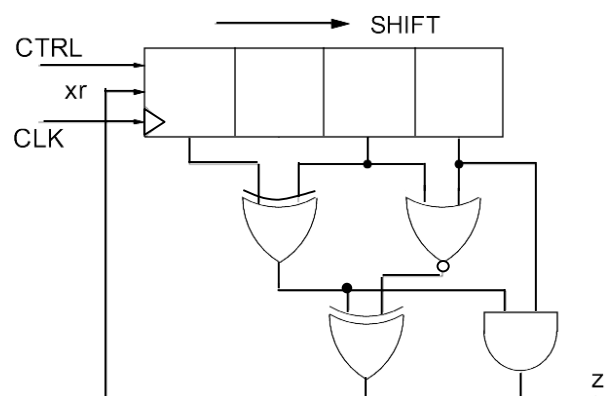
Van nebenstaand schema zijn voor de poorten de volgende tijden gegeven: (English: In the given circuit, the gate delays are:)

- delay XOR: 15 nsec.
- delay NOR: 12 nsec.
- delay AND: 10 nsec.

En voor het schuifregister:

(English: For the shiftregister:)

- setup tijd/time: 4 nsec.
- hold tijd/time: 2 nsec.
- omslagtijd/propagation time: 5 nsec.



Wat is de maximale klokpulsfrequentie waarbij het systeem nog goed kan werken (aangenomen dat de uitgang z onbelast is)? (English: What is the maximum clock frequency that ensures correct operation of the system (assuming that output z is not experiencing any load)?)

- a. 25.6 MHz
- b. 26.3 MHz
- c. 27.7 MHz
- d. 29.4 MHz

Question 6:

Als toestandstabel is de tabel hiernaast gegeven. Hierin is x een input en z een output $x, z \in \{0, 1\}$.

(English: A state transition table is given. In it, x is an input and z an output with $x, z \in \{0, 1\}$.)

Welke toestanden kunnen worden samen genomen omdat ze equivalent zijn?

(English: Which states can be combined because they are equivalent?)

- a. A en/and K
- b. A en/and E
- c. D en/and C
- d. D en/and H

PS	x=0	x=1
A	C,0	L,0
B	C,0	L,1
C	B,0	J,0
D	A,0	H,0
E	G,0	E,0
F	A,0	H,0
G	B,0	J,0
H	K,0	F,0
I	I,0	D,0
J	K,0	F,0
K	I,0	D,0
L	G,0	E,0

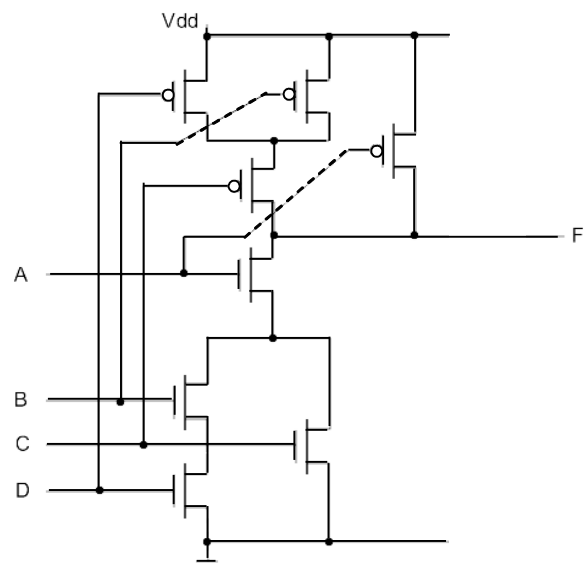
NS, z

Question 7:

Nevenstaand schema geeft de opbouw van een logische functie met MOS transistoren weer. Wat is de bij dit schema behorende formule?

(English: The given circuit depicts a logical function using MOS transistors. What function is represented in the circuit?)

- a. $F = A + C \cdot (B + D)$
- b. $F = A' \cdot (C' + B' \cdot D')$
- c. $F = A \cdot (C + B \cdot D)$
- d. $F = A' + C' \cdot (B' + D')$

**Question 8:**

Iemand schrijft een getal op van 2 cijfers (gebruik makende van de 8421-BCD encoding per cijfer), voorgesteld door $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$. Een tweede persoon interpreteert dit als een zuiver binair getal, en krijgt daardoor 42 (decimaal) te veel. Hoe ziet $b_7 b_6 b_5 b_4$ eruit?

(English: Someone is writing down a number of 2 digits (using the 8421-BCD encoding per digit) represented by $b_7 b_6 b_5 b_4 b_3 b_2 b_1 b_0$. A second person interprets this as a binary number and is thereby receiving 42_{10} (decimal) too much. What is encoded in $b_7 b_6 b_5 b_4$?)

- a. 1 0 0 0
- b. 0 1 1 1
- c. 0 1 1 0
- d. 0 0 1 1

Question 9:

In het volgende worden drie stukken VHDL code gegeven:

(English: Three pieces of VHDL code are given below:)

-- Code 1

```
S1 <= (x xor y) after 5 ns, (x or y) after 10 ns, (not x) after 15 ns;
```

-- Code 2

```
process (x,y)
begin
S1 <= (x xor y) after 5 ns, (x or y) after 10 ns, (not x) after 15 ns;
end process;
```

-- Code 3

```
process (y)
begin
S1 <= (x xor y) after 5 ns, (x or y) after 10 ns, (not x) after 15 ns;
end process;
```

Welke van de onderstaande beweringen zijn juist?

(English: Which one of the statements below is correct?)

- a. Code 1 is gelijk aan Code 2 en Code 2 is niet gelijk aan Code 3.
- b. Code 1 is gelijk aan Code 3 en Code 2 is niet gelijk aan Code 3.
- c. Code 1 is niet gelijk aan Code 2 en Code 2 is gelijk aan Code 3.
- d. Code 1 is gelijk aan Code 2 is gelijk aan Code 3.

Question 10:

```
entity boolean_test is
end boolean_test;
```

```
architecture gedrag of boolean_test is
```

```
    component boolean_functie is
```

```
        port (a, b, c : in bit; uit : out bit);
```

```
    end component;
```

```
    signal aa, bb, cc, dd ; bit;
```

```
begin
```

```
    N1: boolean_functie port map (aa, bb, cc, dd);
```

```
    aa <= '1', '0' after 5 ns, '1' after 15 ns, '1' after 30 ns, '1' after
        35 ns, '0' after 40 ns;
```

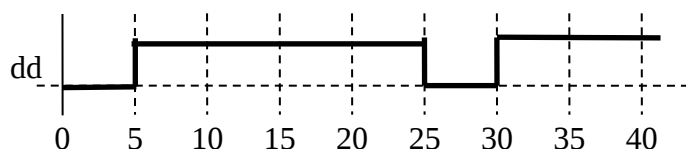
```
    bb <= '0', '1' after 10 ns, '0' after 20 ns, '1' after 35 ns;
```

```
    cc <= ... - deze regel moet nog worden ingevuld/this line still need
        -- to be filled in
```

```
end gedrag;
```

De component boolean_functie is niet gegeven in VHDL, maar wel gegeven als een product van maxtermen $F(a,b,c) = \prod M(1,2,5,7)$. Verder is het de bedoeling dat de component de volgende uitgang realiseert:

(English: The component boolean_functie is not given in VHDL, but as a product of maxterms $F(a,b,c) = \prod M(1,2,5,7)$. The intent is for the component to realize the following output:)

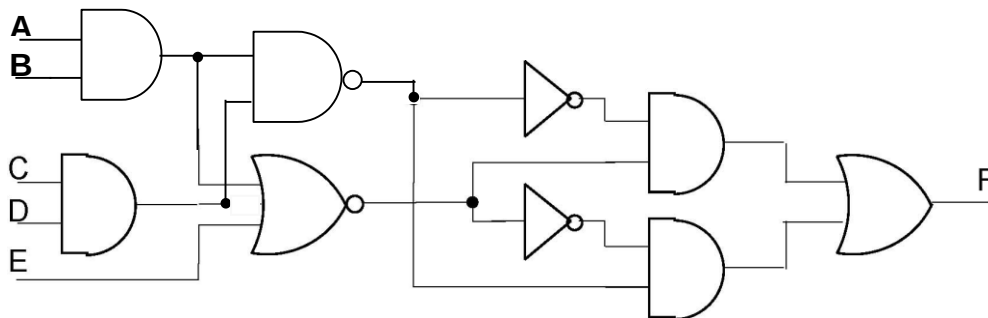


Welke van de vier onderstaande assignments moet worden ingevuld als waveform van signaal cc om de gevraagde signaal dd te genereren?

(English: Which of the given assignments has to be filled in for cc to realize the given signal dd?)

- cc <= '0', '1' after 15 ns, '0' after 20 ns, '1' after 25 ns, '0' after 30 ns, '1' after 35 ns;
- cc <= '1', '0' after 10 ns, '1' after 15 ns, '0' after 25 ns, '1' after 30 ns, '0' after 40 ns;
- cc <= '1', '0' after 5 ns, '1' after 10 ns, '0' after 15 ns, '1' after 25 ns, '0' after 30 ns, '1' after 40 ns;
- geen van de bovenstaande antwoorden. (English: None of the above.)

Question 11:



Wat is de netwerkvertraging t_{pLH} van bovenstaande schakeling als gegeven is dat de output load van de schakeling 1 is? (U kunt gebruik maken van onderstaande tabel)

(English: What is the propagation delay t_{pLH} of the circuit above

when it is given that the output load of the circuit is 1? (You can use the table below))

- 0.703 ns
- 0.728 ns
- 0.740 ns
- 0.760 ns

Characteristics of a family of CMOS gates

Gate Type	Fan in	Propagation Delays		Load Factor (standard loads)	Size (equivalent gates)
		t_{pLH} (ns)	t_{pHL} (ns)		
AND	2	0.15 + 0.037L	0.16 + 0.017L	1.0	2
AND	3	0.20 + 0.038L	0.18 + 0.018L	1.0	2
AND	4	0.28 + 0.039L	0.21 + 0.019L	1.0	3
OR	2	0.12 + 0.037L	0.20 + 0.019L	1.0	2
OR	3	0.12 + 0.038L	0.34 + 0.022L	1.0	2
OR	4	0.13 + 0.038L	0.45 + 0.025L	1.0	3
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1.0	1
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1.0	1
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1.0	2
NAND	4	0.10 + 0.037L	0.12 + 0.051L	1.0	2
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1.0	4
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1.0	5
NAND	8	0.24 + 0.038L	0.42 + 0.019L	1.0	6
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1.0	1
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1.0	2
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1.0	4
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1.0	4
NOR	6	0.46 + 0.037L	0.24 + 0.018L	1.0	5

NOR	8	0.54 + 0.038L	0.23 + 0.018L	1.0	6
XOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3
		0.16 + 0.036L	0.15 + 0.020L	2.0	
XOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6
		0.28 + 0.039L	0.27 + 0.027L	2.4	
		0.19 + 0.036L	0.17 + 0.025L	2.1	
XNOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3
		0.16 + 0.036L	0.15 + 0.020L	2.0	
XNOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6
		0.28 + 0.039L	0.27 + 0.027L	2.3	
		0.19 + 0.036L	0.17 + 0.025L	1.3	
2-OR/NAND2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2
2-AND/NOR2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2

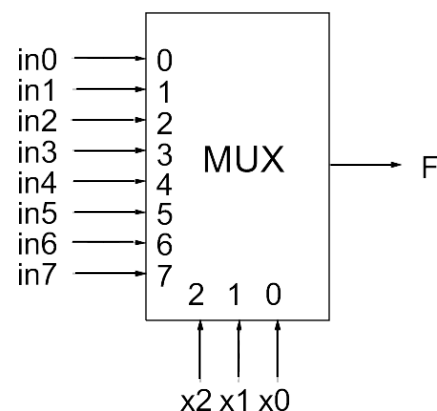
Question 12:

Met behulp van een multiplexer wordt de functie $F(x_3, x_2, x_1, x_0) =$

$(x_1.x_2') \oplus (x_0.x_2' + x_1.x_3)$ gemaakt.

Wat moet er aan de ingangen respectievelijk worden aangesloten?

(English: Using a multiplexer, we realize the function $F(x_3, x_2, x_1, x_0) = (x_1.x_2') \oplus (x_0.x_2' + x_1.x_3)$. What needs to be provided at the inputs?)



$in_0, in_1, in_2, in_3, in_4, in_5, in_6, in_7 =$

- a. 0, 0, x_3' , 1, 0, 1, x_3 , x_3
- b. 0, x_3' , 0, x_3 , 0, 1, 1, x_3
- c. 0, 0, 0, 1, x_3' , x_3 , 1, x_3
- d. 0, 1, x_3' , 0, 0, 0, x_3 , x_3

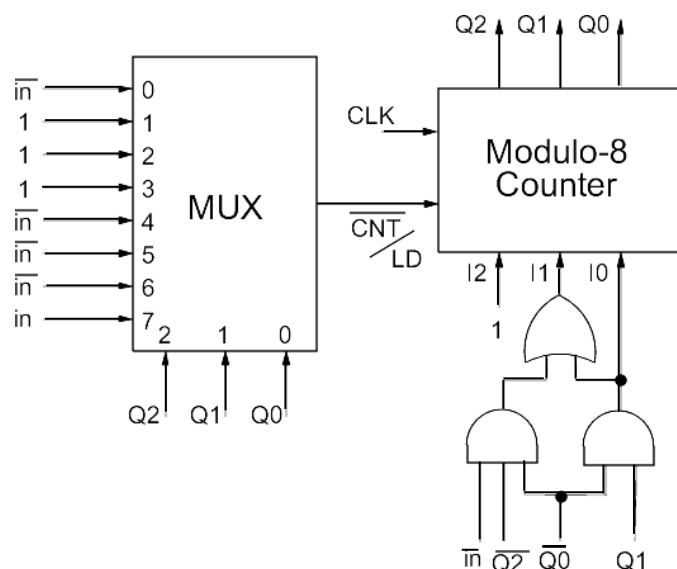
Question 13:

Nevenstaand schema is de schakeling van een FSM.

$Q_2 Q_1 Q_0$ vormt de toestand en in is hetingangssignaal. De counter heeft 2 modi, nl. COUNT met een 0 en LOAD met een 1. Bij $I_2 I_1 I_0$ wordt de te laden toestand ingevoerd. Wat zijn mogelijke opvolgende toestanden voor $Q_2 Q_1 Q_0 = 0 0 0$?

(English: The given circuit represents an FSM. $Q_2 Q_1 Q_0$ represents the state and in is the input signal. The counter has two modes, namely COUNT with 0 and LOAD with 1. At $I_2 I_1 I_0$, the to be loaded state is "inserted". What are the possible subsequent states after $Q_2 Q_1 Q_0 = 0 0 0$?)

- a. 1 0 0 en/and 1 1 0
- b. 1 0 0 en/and 0 0 1
- c. 1 1 0 en/and 0 0 1
- d. alleen/only 0 0 1

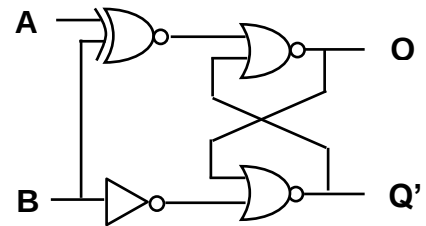


Question 14:

Gegeven bijgaand circuit. Welke van de volgende uitspraken is correct?

(English: Given the circuit. Which statement below is correct?)

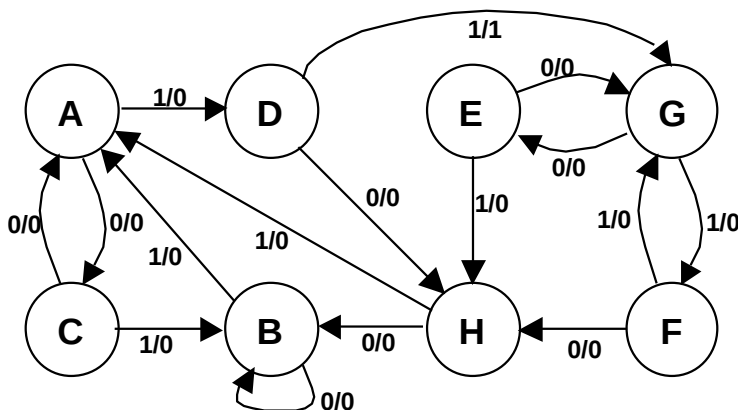
- Dit circuit is geen bruikbaar geheugenelement: de Set-combinatie ontbreekt.
(English: the circuit is not a useful memory element: the Set-combination is missing.)
- Dit circuit is geen bruikbaar geheugenelement: de Reset-combinatie ontbreekt.
(English: the circuit is not a useful memory element: the Reset-combination is missing.)
- Dit circuit is een latch; $AB = 11$ is de Reset ingangscombinatie.
(English: The circuit is a latch: $AB=11$ is the Reset input)
- Dit circuit is een latch zonder verboden ingangscombinatie.
(English: The circuit is a latch without a forbidden input)

**Question 15:**

Schrijf de functie $((x_0 + x_1) \oplus (x_2 + x_3)) + x_0'.x_1$ in de Maxterm notatie $f(x_3, x_2, x_1, x_0) = \prod M(\dots)$

(English: Write the function $((x_0 + x_1) \oplus (x_2 + x_3)) + x_0'.x_1$ in Maxterm notation $f(x_3, x_2, x_1, x_0) = \prod M(\dots)$)

- $\prod M(1, 2, 3, 4, 6, 8, 10, 12)$
- $\prod M(0, 5, 7, 9, 11, 13, 15)$
- $\prod M(0, 1, 4, 6, 8, 13, 15)$
- $\prod M(0, 5, 6, 9, 10, 13, 14)$

Question 16:

Van een schakeling met 3 T-flipflops P, Q en R en een input *in* is het toestandsdiagram gegeven. Voor de codering van de toestanden (PQR) geldt: A=000 B=001 C=010 D=011 E=100 F=101 G=110 H=111 De T-flipflop R wordt aangestuurd met:

(English: Of a circuit with 3 T-flipflops P, Q, and R and an input *in* the state diagram is given. The coding of the states (PQR) is:

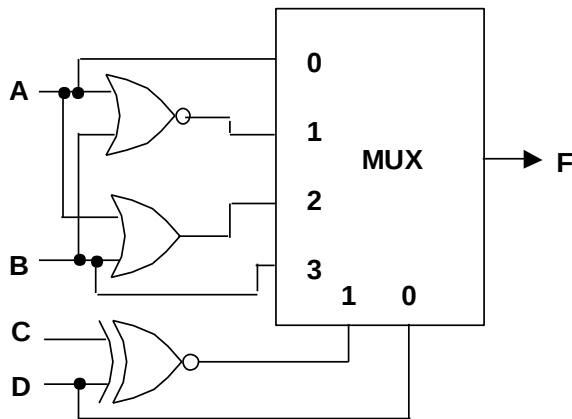
A=000 B=001 C=010 D=011

E=100 F=101 G=110 H=111

T-flipflop R is "driven" by:)

- $in \oplus R$
- $P + R$
- in
- $P + in$

Question 17:



Bepaal de mintermvorm van $F(D, C, B, A)$:

(English: Determine the minterm function $F(D, C, B, A)$.)

- a. $\sum m(1, 3, 5, 6, 7, 8, 14, 15)$
- b. $\sum m(1, 2, 3, 5, 7, 10, 11, 12)$
- c. $\sum m(1, 2, 3, 5, 7, 8, 14, 15)$
- d. $\sum m(1, 3, 5, 6, 7, 10, 11, 12)$

Question 18:

Om een "6 naar 64 decoder" samen te stellen zijn 2 type chips beschikbaar, nl. type A: met 2 (twee) "2 naar 4 decoders" erin, en type B: met 1 "3 naar 8 decoder" erin. Hoeveel chips zijn er respectievelijk van type A of van type B nodig? (Er mag slechts één type worden toegepast en niet worden gemixed.)

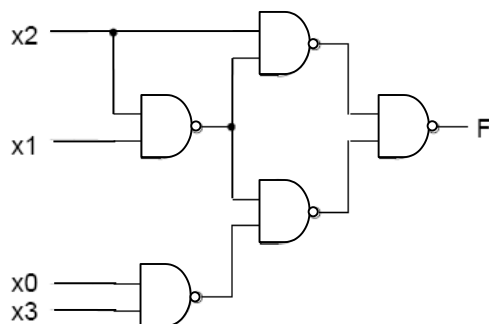
(English: In order to build a 6-to-64 decoder, there are 2 types of chips available, namely "type A": with 2 (two) 2-to-4 decoders in it, and "type B": with 1 3-to-8 decoders in it. How many chips are needed of each type are needed? (Only one type is allowed and no mixing is allowed))

	type A	type B
a.	8	8
b.	9	9
c.	11	8
d.	11	9

Question 19:

Gegeven is onderstaand schema:

(English: Given the circuit below:)



Bepaal de functie $F(x_3, x_2, x_1, x_0)$ van het poortnetwerk en schrijf F als een product van sommen.

(English: Determine the function $F(x_3, x_2, x_1, x_0)$ of the gate network and write the function F as a product of sums.)

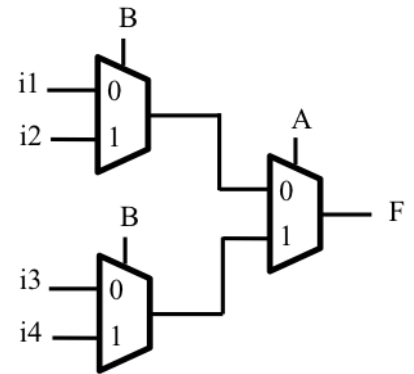
- a. $(x_1' + x_2)(x_0' + x_3')$
- b. $(x_1' + x_2')(x_0' + x_2 + x_3')$
- c. $(x_0 + x_1)(x_2' + x_3)$
- d. $(x_1' + x_2)(x_1 + x_2' + x_3)$

Question 20:

Stel een logische functie $F = A B C' + A' B D + B C' D + A C D'$ wordt gerealiseerd met nevenstaande schakeling. Wat moet daarvoor worden aangeboden op ingang i2 ?

(English: Assume that the logical function $F = A B C' + A' B D + B C' D + A C D'$ is being realized using the given circuit. What needs to be provided at input i2 ?)

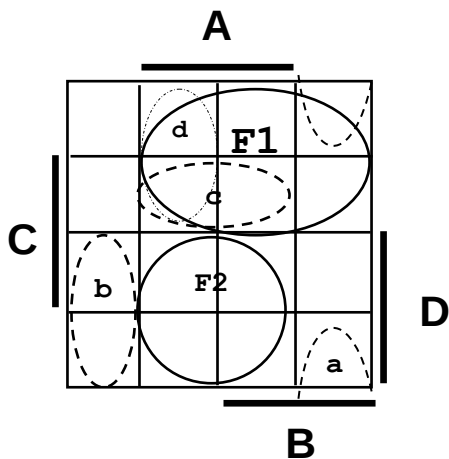
- a. 0
- b. D
- c. $C D'$
- d. $C' + D'$



Antwoorden en Uitwerkingen (Answers in Dutch)

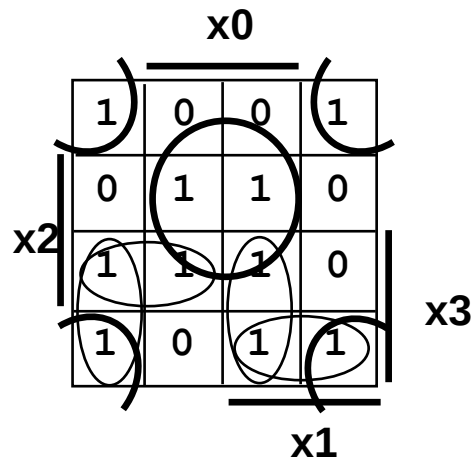
Question		Question		Question		Question	
1	A	6	B	11	D	16	C
2	C	7	D	12	D	17	C
3	B	8	B	13	C	18	D
4	A	9	A	14	C	19	B
5	A	10	C	15	B	20	B

Opgave 1: (a)



In de Karnaughmap is aangegeven dat alleen de term $A + B + D'$ nog past zonder overlap met de reeds aanwezige besturingen.

Opgave 2: (c)



Opgave 3: (b)

$$\begin{aligned}
 F &= (A' \cdot B + A \cdot B') \oplus (A + C) \\
 &= (A' \cdot B + A \cdot B') \cdot A' \cdot C' + (A + B') \cdot (A' + B) \cdot (A + C) \\
 &= A' \cdot B \cdot C' + (A \cdot B + A' \cdot B') \cdot (A + C) \\
 &= A' \cdot B \cdot C' + A \cdot B + A' \cdot B' \cdot C \\
 &= B \cdot (A + A' \cdot C') + A' \cdot B' \cdot C \\
 &= B \cdot (A + C') + A' \cdot B' \cdot C \\
 &= A \cdot B + B \cdot C' + A' \cdot B' \cdot C
 \end{aligned}$$

Opgave 4: (a)

K	L	M	FULL ADDER ($KKK + L2'L1'L0' + M3$)
0	101	1101	$000 + 010 + 1 = 0011$
0	111	1010	$000 + 000 + 1 = 0001$
0	011	0100	$000 + 100 + 0 = 0100$
0	000	1000	$000 + 111 + 1 = 1000$
1	001	0001	

Inhoud 0001 => antwoord **a**

Opgave 5: (a)

Voor de periodeduur geldt:

$T > \text{omslagtijd} + \text{netvertraging} + \text{setuptijd}$

dus $T > 5 \text{ nsec} + (15 \text{ nsec} + 15 \text{ nsec}) + 4 \text{ nsec}$

$T > 39 \text{ nsec}$

frequentie $< 1/T = 25.6 \text{ MHz} \Rightarrow$ antwoord **a**

Opgave 6: (b)

{A, C, D, E, F, G, H, I, J, K, L}	{B}	1-equivalent
{A, D, E, F, H, I, J, K, L}	{C, G} {B}	2- equiv.
{D, F, H, I, J, K} {A, E, L}	{C, G} {B}	3- equiv.
{H, I, J, K} {D, F} {A, E, L}	{C, G} {B}	4- equiv.
{H, I, J, K} {D, F} {A, E, L} {C, G}	{B}	n- equiv.

And more ...

=> antwoord **b**

Opgave 7: (d)

Bepaal de voorwaarde waaronder er een pad via de pmos transistors naar VDD is: $A' + C' \cdot (B' + D')$

Opgave 8: (b)

De waarde van het getal in B.C.D. notatie is:

$$(b7 \cdot 2^3 + b6 \cdot 2^3 + b5 \cdot 2^1 + b4 \cdot 2^0) \cdot 10 + b3 \cdot 2^3 + b2 \cdot 2^2 + b1 \cdot 2^1 + b0 \cdot 2^0$$

De waarde zuiver binair is:

$$b7 \cdot 2^7 + b6 \cdot 2^6 + b5 \cdot 2^5 + b4 \cdot 2^4 + b3 \cdot 2^3 + b2 \cdot 2^2 + b1 \cdot 2^1 + b0 \cdot 2^0$$

Dus het verschil moet opleveren:

$$b7(2^7 - 2^3 \cdot 10) + b6 \cdot (2^6 - 2^2 \cdot 10) + b5 \cdot (2^5 - 2^1 \cdot 10) + b4 \cdot (2^4 - 2^0 \cdot 10) = 42$$

oftewel:

$$48 \cdot b7 + 24 \cdot b6 + 12 \cdot b5 + 6 \cdot b4 = 42$$

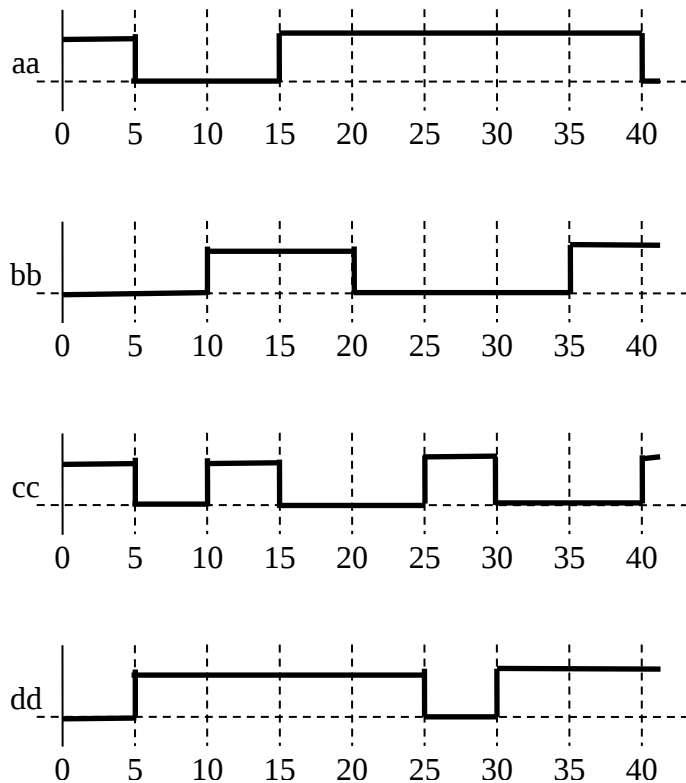
De enige mogelijke binaire oplossing is

$$b7=0, b6=1, b5=1 \text{ en } b4=1 \Rightarrow \text{antwoord b}$$

Opgave 9: (a)

Code 1 en 2 zijn gelijk aan elkaar, omdat alle signalen aan de RHS van de CSA statement in code 1 in de process van code 2 staat. Daarom is code 3 niet gelijk aan de andere twee, omdat signaal 'x' niet in de sensitivity lijst staat.

Opgave 10: (c)



De waarheidstabel van de functie F is:

j	a	b	c	d
0	0	0	0	1
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	0

Opgave 11: (d)

Het langste pad is van ingang C of D naar uitgang F. Vanuit uitgang F bekeken moeten we dus de volgende waarden bepalen:

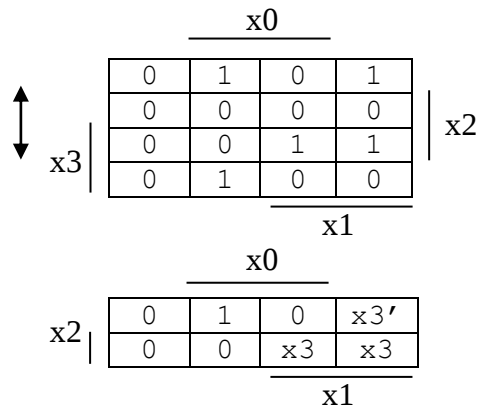
$$t_{pLH}(OR2) + t_{pLH}(AND2) + t_{pLH}(NOT) + t_{pHL}(NAND2) + t_{pLH}(AND2) =$$

$$(0.12 + 0.037 \times 1) + (0.15 + 0.037 \times 1) + (0.02 + 0.038 \times 1) + (0.08 + 0.027 \times 2) + (0.15 + 0.037 \times 2) = 0.760$$

Opgave 12: (d)

x ₃ x ₂ x ₁ x ₀	x ₁ .x ₂ ' (a)	x ₀ .x ₂ ' (b)	x ₁ .x ₃ (c)	b+c (d)	a⊕d
0000	0	0	0	0	0
0001	0	1	0	1	1
0010	1	0	0	0	1
0011	1	1	0	1	0
0100	0	0	0	0	0
0101	0	0	0	0	0
0110	0	0	0	0	0
0111	0	0	0	0	0
1000	0	0	0	0	0
1001	0	1	0	1	1
1010	1	0	1	1	0
1011	1	1	1	1	0
1100	0	0	0	0	0
1101	0	0	0	0	0

1110	0	0	1	1	1
1111	0	0	1	1	1



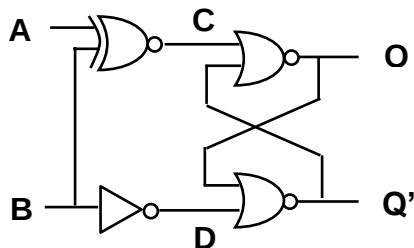
Dit geeft 0,1,x3',0,0,0,x3,x3 => antwoord **d**

Opgave 13: (c)

Q	in	I	CNT' /LD	Q(n+1)	Q	in	I	CNT' /LD	Q(n+1)
000	0	110	load	110	000	1	100	count	001

=> antwoord **c**

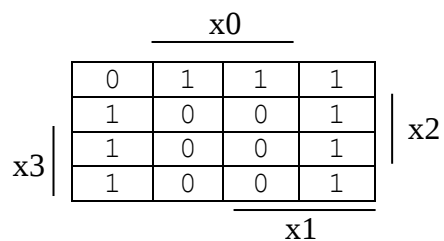
Opgave 14: (c)



A	B	C	D	Q	Q'	
0	0	1	1	0	0	forbidden
0	1	0	0	Q	Q'	hold
1	0	0	1	1	0	set
1	1	1	0	0	1	reset

Opgave 15: (b)

$$\begin{aligned}
 & ((x0 + x1) \oplus (x2 + x3)) + x0'.x1 \\
 &= (x0 + x1).x2'.x3' + x0'.x1'.(x2 + x3) + x0'.x1 \\
 &= x0.x2'.x3' + x1.x2'.x3' + x0'.x1'.x2 + x0'.x1'.x3 + x0'.x1
 \end{aligned}$$



Kijk waar nullen staan: $\prod M(0, 5, 7, 9, 11, 13, 15)$

Opgave 16: (c)

We kunnen de volgende overgangstabel opstellen:

PQR	PS	in=0	in=1	R^{next}	
				in=0	in=1
000	A	C, 0	D, 0	0	1
001	B	B, 0	A, 0	1	0
010	C	A, 0	B, 0	0	1
011	D	H, 0	G, 1	1	0
100	E	G, 0	H, 0	0	1
101	F	H, 0	G, 0	1	0
110	G	E, 0	F, 0	0	1
111	H	B, 0	A, 0	1	0

Hieruit kan worden afgeleid dat

$$R^{next} = R \cdot in' + R' \cdot in = R \oplus in$$

Voor een T flip-flop met toestand S en ingang T geldt: $S^{next} = S \oplus T$.

Op de ingang voor de T-flipflop voor R moet dus het signaal 'in' worden gezet.

Opgave 17: (c)

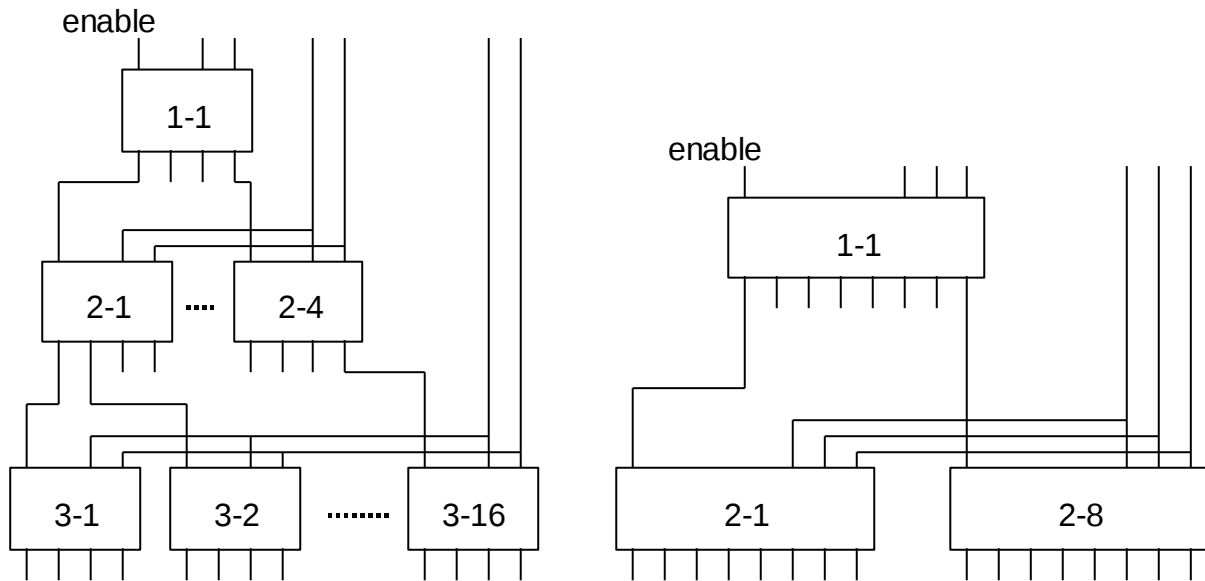
Wanneer S1 en S2 de selectie signalen zijn voor de multiplexer dan vinden we dat de multiplexer de volgende waarden doorgeeft als functie van D en C:

D	C	S1	S0	
0	0	1	0	$A + B$
0	1	0	0	A
1	0	0	1	$A' \cdot B'$
1	1	1	1	B

		<u>A</u>					
D		0	1	1	1		C
		0	1	1	0		
		0	0	1	1		
		1	0	0	0		
		<u>B</u>					

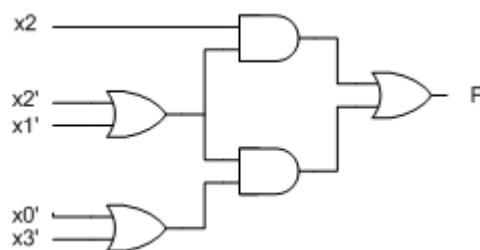
Door te kijken waar enen staan: $\sum m(1, 2, 3, 5, 7, 8, 14, 15)$

Opgave 18: (d)



Er zijn dus $1 + 4 + 16 = 21$ (2 naar 4 decoders) nodig of $1 + 8 = 9$ (3 naar 8 decoders), d.w.z. 11 type A chips of 9 type B chips.

Opgave 19: (b)



Deze schakeling kan als volgt worden geschreven:

$$(x_0' + x_3') (x_1' + x_2') + (x_1' + x_2') x_2 = (x_1' + x_2') (x_0' + x_2 + x_3')$$

(eventueel door gebruik te maken van een Karnaugh diagram)

=> antwoord **b**.

Opgave 20: (b)

$F = A B C' + A' B D + B C' D + A C D'$. Met $A=0$ en $B=1$ geeft dit: $D + C'D = D$