

Digitale Systemen voor IN (Exam)

(IN2305-A)

Wednesday 20 January 2010 (14:00 - 17:00)

Instructions for filling in the answer sheet:

- Fill in answer sheet using a pencil (eraser allowed) or ballpoint. (ensure high enough contrast when "coloring" the boxes)
 - Do not forget your name, student number, and **signature**.
 - Fill in your student number in code also and double check.
 - In case an answer is unknown it is better to guess than leave open.
 - **Do not** fill in the code figures in the lower right corner.
 - **Start with answering the "easiest" questions first!!**
 - In case you do not understand a question, ask the teacher present.
-

Opgave 1: (Question 1)

Het binair geschreven getal 11000100_2 ziet er in het drietallig stelsel als volgt uit:

(English: The binary number 11000100_2 is represented in the ternary number system (base of 3) as:)

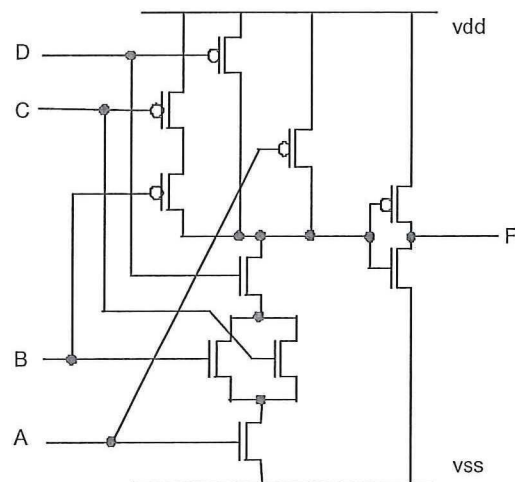
- a. 20211_3 b. 21021_3 c. 21111_3 d. 22002_3

Opgave 2: (Question 2)

Nevenstaand schema geeft de opbouw van een logische functie met MOS transistoren weer. Wat is de bij dit schema behorende formule?

(English: the circuit depicts a switching expression using MOS transistors. What is the formula that goes with it?)

- a. $F = A.B.C + B.C.D$
b. $F = A.B + C.D$
c. $F = A.B.D + A.C.D$
d. $F = A + D + B.C$



Opgave 3: (Question 3)

Gegeven is de expressie $E(x_3, x_2, x_1, x_0) = \sum m(2, 4, 6, 8, 9, 10, 12, 13, 14)$. Hoeveel *priemimplicanten* (PI), en hoeveel *essentiële priemimplicanten* (EPI) zijn er in deze functie te vinden?

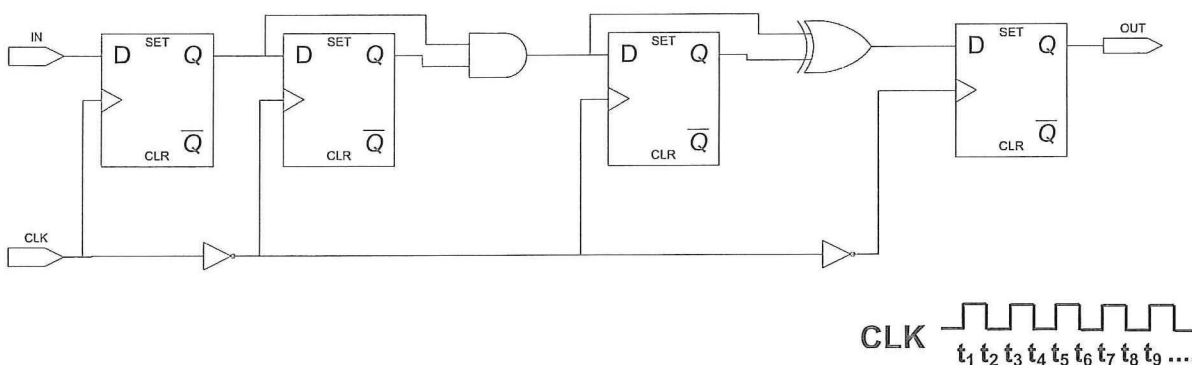
(English: Given the expression $E(x_3, x_2, x_1, x_0) = \sum m(2, 4, 6, 8, 9, 10, 12, 13, 14)$. How many *prime implicants* (PI) and how many *essential prime implicants* (EPI) are there in this function?)

- a. 3 PI's en 2 EPI's b. 3 PI's en 3 EPI's
c. 4 PI's en 3 EPI's d. 4 PI's en 4 EPI's

Opgave 4: (Question 4)

Gegeven het volgende circuit met negative edge-triggered D flipflops. Verder gelden de volgende vertragingstijden: INV = 1ns, AND = 2ns, XOR = 3ns, uitgang flipflop t.o.v. actieve klokflank = 3ns, en CLK periode is 20ns.

(English: the circuit below utilizes negative edge-triggered D flipflops. We also assume the following propagation delays: INV = 1ns, AND = 2ns, XOR = 3ns, output of flipflop with regard to active clock edge = 3ns, and a CLK period of 20ns.)



Indien voor tijdstip t_1 alle Qs 1 zijn en op 'In' het constante signaal 0 wordt gezet, wanneer wordt dan voor het eerst 0 op 'Out' waargenomen? Op of direct na:

(English: when before time t_1 all Qs are '1' and a constant '0' is put at the input 'In', when will we witness the first '0' at output 'Out'? On or directly after:)

- a. t_2
- b. t_3
- c. t_4
- d. t_5 of/or later.

Opgave 5: (Question 5)

The following state transitions table is given:

PS	x=0	x=1
A	A,0	B,0
B	C,0	D,0
C	A,0	A,1
D	F,0	G,1
E	H,0	D,0
F	A,0	A,0
G	F,0	G,0
H	A,0	A,0

Hierin is x een input en z een output $x, z \in \{0,1\}$. Welk paar toestanden is **wel** 2-equivalent, maar **niet** 3-equivalent?

(English: x is an input and z an output with $x, z \in \{0,1\}$ - which pair of states is **indeed** 2-equivalent, but **not** 3-equivalent?)

- a. A en/and H
- b. C en/and D
- c. C en/and H
- d. G en/and H

NS, z

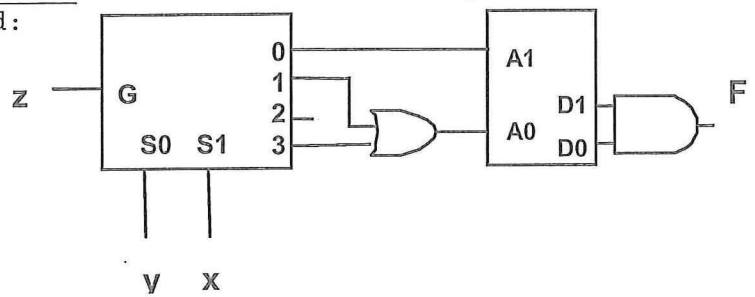
Opgave 6: (Question 6)

Gegeven bijgaand circuit: (English: Consider the following circuit:)

De ROM heeft de volgende inhoud:

(English: The ROM content is:)

A1	A0	D1	D0
0	0	0	1
0	1	1	1
1	0	1	1
1	1	1	0



Welke van de volgende vereenvoudigingen is correct?

(English: Which of the following simplifications is correct?)

- $F = xyz$
- $F = z (x \oplus y)$
- $F = z (x + y')$
- geen van bovenstaande antwoorden. (English: none of the above.)

Opgave 7: (Question 7)

Een sequentiële schakeling bestaat uit 3 D-flipflops A, B en C met respectievelijk de uitgangssignalen a, b en c en een ingangssignaal "in". Het signaal dat de flipflop C aanstuurt heeft als formule $D_C = a.c' + a.in' + a'.c.in$. De ontwerper overweegt de D-flipflops te vervangen door SR-flipflops. Wat is in dat geval de aansturing van de S(et) en R(eset) ingang en van de SR-flipflop C?

(English: A sequential network comprises 3 D-flipflops A, B, and C with their respective output signals a, b, and c and an input signal "in". The signal that drives flipflop C has the following formula $D_C = a.c' + a.in' + a'.c.in$. The designer contemplates to replace the D-flipflops with SR-flipflops. In this case, how should the input signals S(et) en R(eset) of SR-flipflop C be driven?)

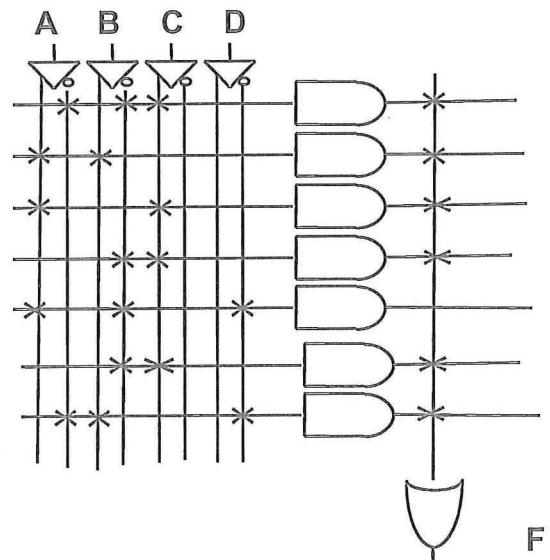
	S_C	R_C
a.	$a.c'$	$a.c.in + in'.a'$
b.	$a.c' + a'.in$	$a.c.in + in'.a'$
c.	$a.c'$	$a.c.in + in.a'$
d.	$a.c' + a'.in$	$a.c.in + in.a'$

Opgave 8: (Question 8)

Welke van de volgende vereenvoudigingen is correct correspondeert met nevenstaand circuit?

(English: which of the following simplifications corresponds to the given circuit?)

- $F = ((a + b')(a' + c))'$
- $F = a'd + c'(a + bd)$
- $F = a(c + b) + cb' + bd'$
- Geen van de bovenstaande antwoorden. (English: none of the above.)



Opgave 9: (Question 9)

Een schakeling wordt ontworpen voor de toestandstabel in opgave 5. De toestanden worden beschreven met drie D-flipflops P, Q en R volgens de volgende codering: (English: a circuit is designed for the state table given in question 5. The states are represented with three D-flipflops P, Q, and R according to the following coding:)

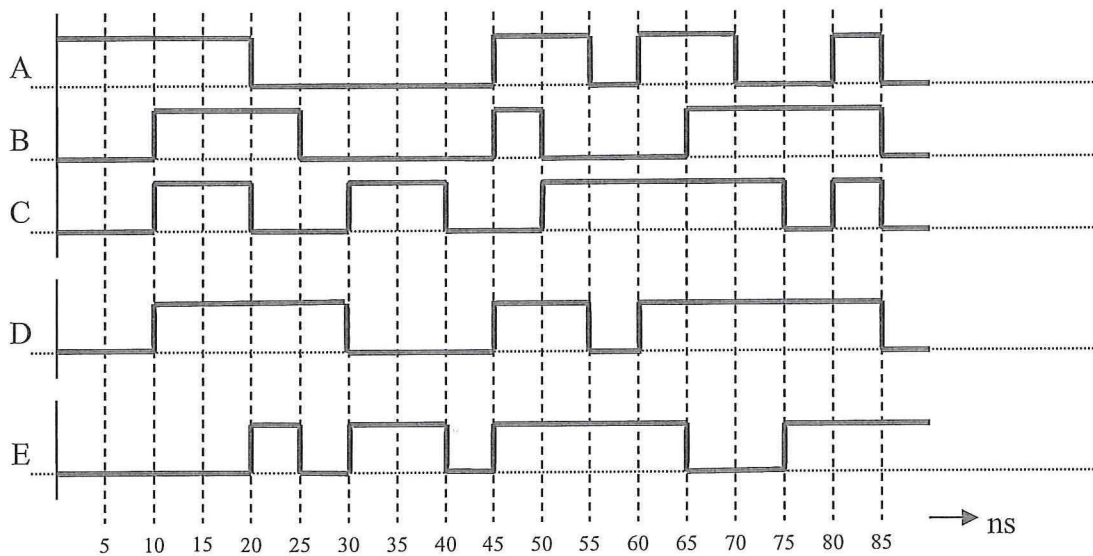
A=000 C=010 E=100 G=110

B=001 D=011 F=101 H=111

De flipflop P wordt aangestuurd met:

(English: flipflop P will be driven using:)

- a. $P.Q'.R' + P.Q.R' + P.R'.x'$
- b. $P.Q'.R' + P'.Q'.R + P.R'.x + P'.R..x$
- c. $P.Q'.R' + P'.Q'.x + P.R'.x' + P.Q.R.x'$
- d. $P'.Q.R + P.Q.R' + P.R'.x'$



Hierboven zijn de ingangssignalen A, B, en C gegeven. Aan de hand van deze signalen wordt geprobeerd om de uitgangssignalen D en E (in simulatie) te genereren aan de hand van de volgende processen:

(English: The input signals A, B, and C are given in the figure above. Using these signals, we are trying to generate the output signals D and E (in simulation) using the following processes:)

```
L1: process (sensitivity-list) is -- the sensitivity-list is missing
begin
    D <= (A or B);
end process;
L2: process (sensitivity-list) is -- the sensitivity-list is missing
begin
    E <= (B xor C);
end process;
```

Opgave 10: (Question 10)

Welke sensitivity list moet worden ingevuld bij het genereren van signaal D? (English: which sensitivity list should be used when generating signal D.)

- a. (A, B)
- b. (A, C)
- c. (B, C)
- d. Geen van bovenstaande. (English: none of the above.)

Opgave 11: (Question 11)

Welke sensitivity list moet worden ingevuld bij het genereren van signaal E? (English: which sensitivity list should be used when generating signal E.)

- a. (A, B)
- b. (A, B, C)
- c. (B, C)
- d. Geen van bovenstaande. (English: none of the above.)

Opgave 12: (Question 12)

Gegeven de berekening $C = A - B$ in 2's complement notatie. Er geldt $A = 011011$ en $C = 101100$. Wat is de waarde van B?

(English: given the calculation $C = A - B$ in 2's complement notation. When $A = 011011$ en $C = 101100$, what is the value of B?)

- a. $B = -17$
- b. $B = 47$
- c. $B = 15$
- d. B kan niet in een 6-bit 2's complement representatie worden berekend wegens overflow. (English: B cannot be represented in a 6-bit 2's complement notation due to overflow.)

Opgave 13: (Question 13)

Met 64 geheugenchips van 1Mx4 en aantal 2-input decoder-chips wordt een zo groot mogelijk geheugensysteem voor woorden van 16 bits samengesteld. Hoeveel decoderchips zijn er voor dit systeem nodig?

(English: Given 64 memory chips of size 1Mx4 and a specific number of 2-input decoder chips, we are trying to build the largest memory system with words of 16 bits. How many decoder chips are necessary for this system?)

- a. 3
- b. 4
- c. 5
- d. 8

Opgave 14: (Question 14)

Schrijf de functie $(x_0 \oplus x_1) + (x_2 \oplus x_3)$ in de Maxterm notatie $f(x_3, x_2, x_1, x_0) = \prod M(\dots)$.

(English: Write the function $(x_0 \oplus x_1) + (x_2 \oplus x_3)$ in the Maxterm notation $f(x_3, x_2, x_1, x_0) = \prod M(\dots)$.)

- a. $\prod M(0, 3, 12, 15)$
- b. $\prod M(0, 5, 10, 15)$
- c. $\prod M(4, 7, 8, 11)$
- d. $\prod M(5, 6, 9, 10)$

Opgave 15: (Question 15)

Gegeven de volgende expressie:

(English: Given the following expression:)

$$((c + b)' + (b' + a'))' + (b'a)') \cdot ((c + b)c'b')'$$

Welke van de volgende vereenvoudigingen is correct?

(English: Which of the following simplification is correct?)

- a. 0
- b. $(a' + b' + c')'$
- c. $(ab'c)'$
- d. geen van de bovenstaande antwoorden.

Opgave 16: (Question 16)

Een drietal willekeurige signalen x , y en z zijn via TRI-state buffers met een buslijn verbonden, zoals hier getekend. Er zijn 2 stuur-functies gegeven, nl.:

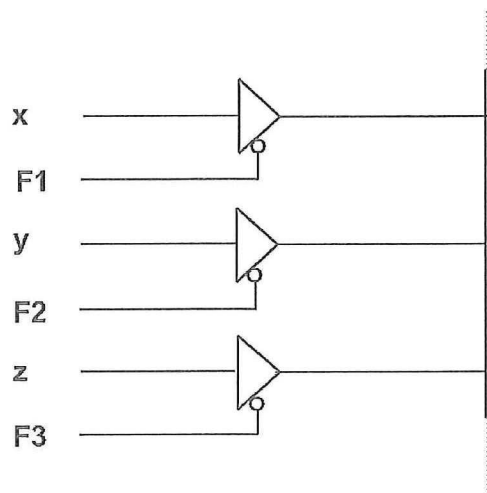
(English: Three random signals x , y , and z are connected to a bus line using TRI-state buffers (as indicated in figure). Two functions for $F1$ and $F2$ are given:)

$$F1 = B + D \quad \text{en} \quad F2 = A' \cdot C' + D'$$

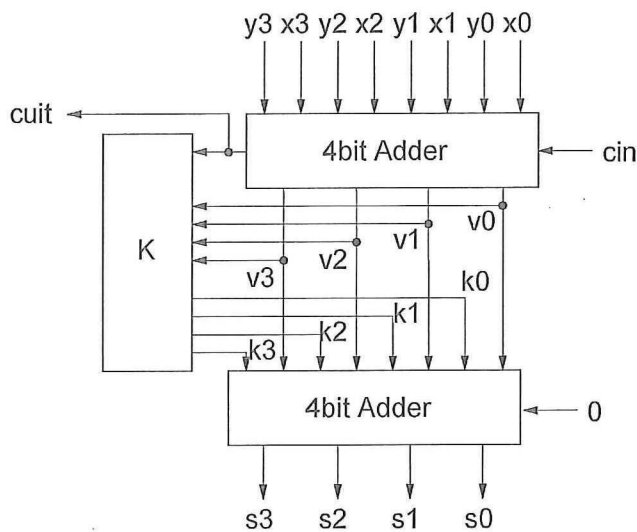
Welke stuurfunctie $F3$ kan worden gebruikt zodat de schakeling correct kan werken?

(English: Which function for $F3$ can be used such that the given circuit still performs correctly?)

- a. $A + B' + C$ b. $A + B + D'$
c. $A' + C' + D$ d. $A' + B + D$



Opgave 17: (Question 17)



Nevenstaand schema geeft een optelsectie in het 10-tallig stelsel aan. De 2 op te tellen cijfers zijn hier aangegeven door x_3, x_2, x_1, x_0 en y_3, y_2, y_1, y_0 en gecodeerd in de excess-3 code. Ook de som s_3, s_2, s_1, s_0 is volgens de excess-3 code opgebouwd. De ingaande carry cin heeft de waarde 1, terwijl de uitgaande carry $cuit$ de waarde 10 heeft zoals dat in het

10-tallig stelsel gebruikelijk is. Om na de eerste optelling het goede antwoord te krijgen moet gecorrigeerd worden met k_3, k_2, k_1, k_0 . Wat moet voor k_3, k_2, k_1, k_0 worden gesubstitueerd?

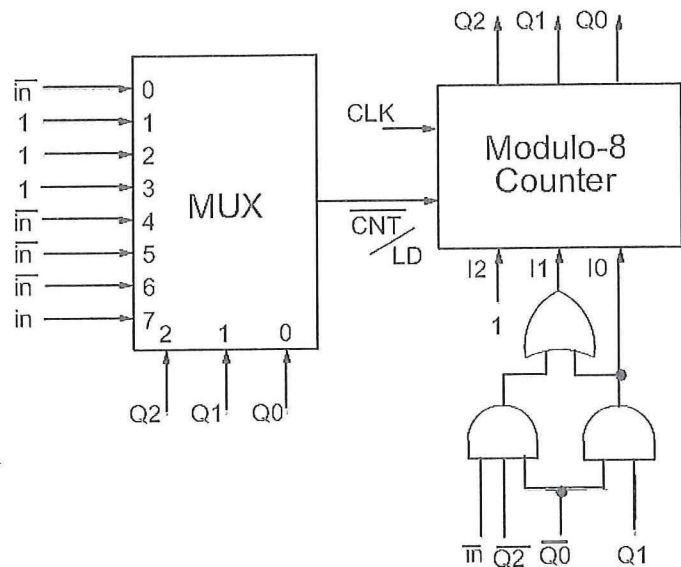
(English: In the figure, an adder section for decimal numbers (base 10) is depicted. The numbers to be added are represented using x_3, x_2, x_1, x_0 and y_3, y_2, y_1, y_0 and are coded according to the excess-3 code. The summation result s_3, s_2, s_1, s_0 is also encoded in excess-3 code. The carry $cuit$ represents the value 10 as usual in a decimal number system. The value after the first addition must be corrected using k_3, k_2, k_1, k_0 . Which values should be used for k_3, k_2, k_1, k_0 ?)

- a. $cuit', cuit', cuit, 0$
b. $0, cuit, cuit, v_0$
c. $1, 1, 0, 1$
d. geen van de bovenstaande antwoorden (English: none of the above)

Opgave 18: (Question 18)

Nevenstaand schema is de schakeling van een FSM. $Q_2 Q_1 Q_0$ vormt de toestand en in is het ingangssignaal. De counter heeft 2 modi, nl. $COUNT$ met een 0 en $LOAD$ met een 1. Bij $I_2 I_1 I_0$ wordt de te laden toestand ingevoerd. Wat zijn mogelijke opvolgende toestanden voor $Q_2 Q_1 Q_0 = 0 0 0$?

(English: the circuit depicts an FSM. $Q_2 Q_1 Q_0$ represents the state and in is the input signal. The counter has 2 modes, namely $COUNT$ with 0 and $LOAD$ with a 1. At $I_2 I_1 I_0$ the to be loaded states are inserted. What are the possible subsequent states when $Q_2 Q_1 Q_0 = 0 0 0$?)



- a. 1 0 0 en 1 1 0
- b. 1 0 0 en 0 0 1
- c. 1 1 0 en 0 0 1
- d. alleen 0 0 1

Opgave 19: (Question 19)

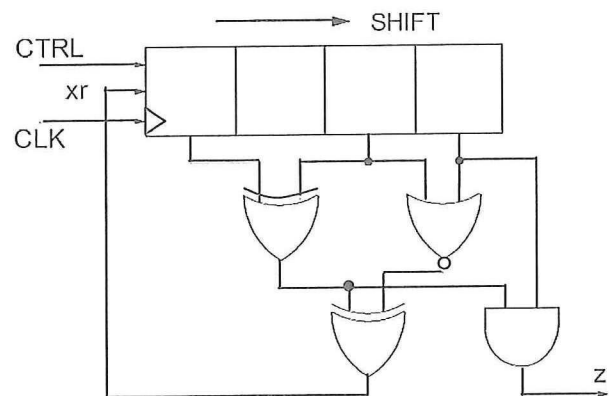
Van nevenstaand schema zijn voor de poorten de volgende tijden gegeven:

(English: Consider the given circuit. The gates used have the following delays:)

- delay XOR: 15 nsec.
- delay NOR: 12 nsec.
- delay AND: 10 nsec.

En voor het schuifregister:
(English: and for the shift register:)

- setup tijd: 4 nsec.
- holdtijd : 2 nsec.
- omslagtijd: 5 nsec.

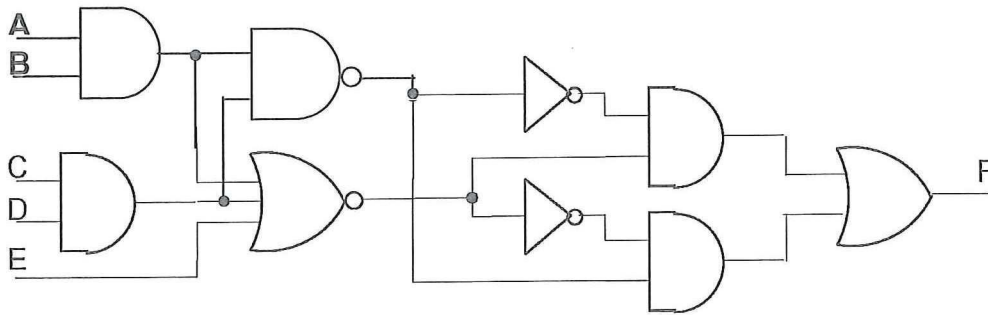


Wat is de maximale klokpulsfrequentie waarbij het systeem nog goed kan werken (aangenomen dat de uitgang z onbelast is)?

(English: What is the maximum clock frequency such that the system is still correctly functioning?)

- a. 25.6 Mhz
- b. 26.3 Mhz
- c. 27.7 Mhz
- d. 29.4 Mhz

Opgave 20: (Question 20)



Wat is de netwerkvertraging t_{pLH} van bovenstaande schakeling als gegeven is dat de output load van de schakeling 1 is?
(U kunt gebruik maken van onderstaande tabel)
(English: what the network propagation delay t_{pLH} of the given circuit above when it is known that the output load of the circuit is 1? (You can use the table below))

- a. 0.703 ns b. 0.728 ns c. 0.740 ns d. 0.760 ns

Gate Type	Fan in	Characteristics of a family of CMOS gates				
		Propagation Delays		Load Factor (standard loads)	Size (equivalent gates)	
		t _{pLH} (ns)	t _{pHL} (ns)			
AND	2	0.15 + 0.037L	0.16 + 0.017L	1.0	2	
AND	3	0.20 + 0.038L	0.18 + 0.018L	1.0	2	
AND	4	0.28 + 0.039L	0.21 + 0.019L	1.0	3	
OR	2	0.12 + 0.037L	0.20 + 0.019L	1.0	2	
OR	3	0.12 + 0.038L	0.34 + 0.022L	1.0	2	
OR	4	0.13 + 0.038L	0.45 + 0.025L	1.0	3	
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1.0	1	
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1.0	1	
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1.0	2	
NAND	4	0.10 + 0.037L	0.12 + 0.051L	1.0	2	
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1.0	4	
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1.0	5	
NAND	8	0.24 + 0.038L	0.42 + 0.019L	1.0	6	
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1.0	1	
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1.0	2	
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1.0	4	
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1.0	4	
NOR	6	0.46 + 0.037L	0.24 + 0.018L	1.0	5	
NOR	8	0.54 + 0.038L	0.23 + 0.018L	1.0	6	
XOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3	
		0.16 + 0.036L	0.15 + 0.020L	2.0		
XOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6	
		0.28 + 0.039L	0.27 + 0.027L	2.4		
		0.19 + 0.036L	0.17 + 0.025L	2.1		
XNOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3	
		0.16 + 0.036L	0.15 + 0.020L	2.0		
XNOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6	
		0.28 + 0.039L	0.27 + 0.027L	2.3		
		0.19 + 0.036L	0.17 + 0.025L	1.3		
2-OR/NAND2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2	
2-AND/NOR2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2	