

Digitale Systemen voor IN (Exam)

(IN2305-A)

Friday 29 October 2009 (14:00 - 17:00)

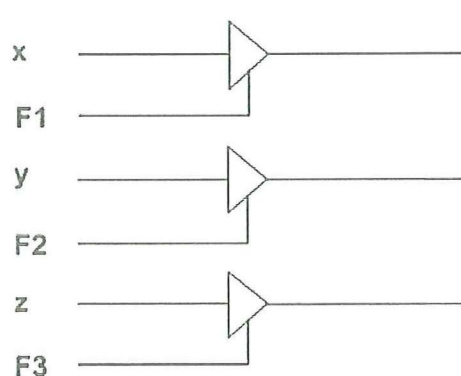
Directions when filling in the answer sheet:

- Fill in answer sheet using a pencil (eraser allowed) or ballpoint. (ensure high enough contrast when "coloring" boxes)
- Do not forget your name, student number, and **signature**.
- Fill in your student number in code also and double check.
- In case an answer is unknown it is better to guess than leave open.
- **Do not** fill in the code figures in the lower right corner.
- **Start with answering the "easiest" questions first!!**
- In case you do not understand a question, ask the teacher present.
- In case of cheating, no grade will be given and you will be reported.

Opgave 1: (Question 1)

In onderstaande figuur is aangegeven hoe een drietal willekeurige signalen x, y en z doorgeschakeld wordt op een buslijn. Het schakelen gebeurt met de besturingsfuncties F1, F2 en F3, waarin $F1 = a.d' + c'd$, $F2 = c.(a' + d)$ en $F3 = a'.c'.(b + d')$.

(English: In the figure below, there are three arbitrary signals x, y, and z connected to a bus line. The switching is performed using the control functions F1, F2, and F3: $F1 = a.d' + c'd$, $F2 = c.(a' + d)$ en $F3 = a'.c'.(b + d')$)



Bij welke combinatie van stuursignalen werkt dit niet goed? (English: Which combination of the control signals will cause this to fail?)

- a. abcd=0101 b. abcd=1010 c. abcd=0011 d. abcd=0000

Opgave 2: (Question 2)

Gegeven de functie $f(x_3, x_2, x_1, x_0) = \sum m(0, 2, 4, 6, 7, 11, 12, 13, 15)$. Hoeveel priemimplicanten (PI), en hoeveel essentiële priemimplicanten (EPI) zijn er in deze functie te vinden?

(English: Given the function $f(x_3, x_2, x_1, x_0) = \sum m(0, 2, 4, 6, 7, 11, 12, 13, 15)$, how many prime implicants (PI) and how many essential prime implicants (EPI) are there?)

- a. 7 PI's en 1 EPI's
b. 7 PI's en 2 EPI's
c. 8 PI's en 1 EPI's
d. 8 PI's en 2 EPI's

Opgave 3: (Question 3)

PS	x=0	x=1
A	A, 0	B, 0
B	C, 0	D, 0
C	A, 0	A, 1
D	F, 0	G, 1
E	H, 0	D, 0
F	A, 0	A, 0
G	F, 0	G, 0
H	A, 0	A, 0

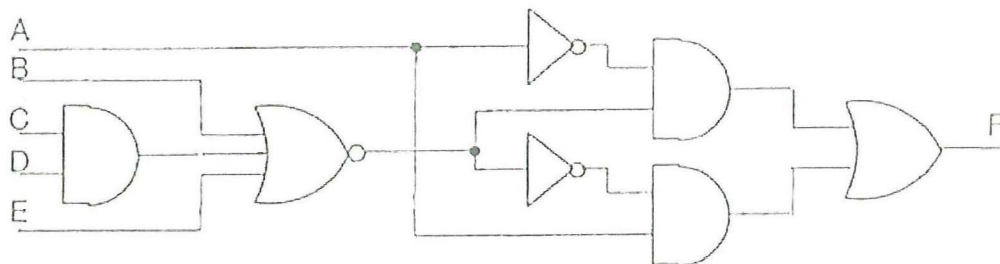
Hiernaast is een toestandstabel gegeven. Hierin is x een input en z een output met $x, z \in \{0,1\}$. Welk tweetal toestanden is wel 2-equivalent en ook 3-equivalent?

(English: Given the state table with input x and output z and $x, z \in \{0,1\}$ - which pair of states is both 2-equivalent and 3-equivalent?)

- a. A en H
- b. B en E
- c. C en H
- d. G en H

NS, z

Opgave 4: (Question 4)



Wat is de netwerkvertraging t_{PHL} van bovenstaande schakeling als gegeven is dat de output load van de schakeling 2 is? (U kunt gebruik maken van onderstaande tabel)

(English: What is the propagation delay t_{PHL} of the given circuit when it is given that the output load is 2? - You can use the table below)

- a. 0.756 ns
- b. 0.773 ns
- c. 0.930 ns
- d. 1.041 ns

Characteristics of a family of CMOS gates							
Gate Type	Fan in	Propagation Delays		Load Factor		Size	
		t_{PLH} (ns)	t_{PHL} (ns)	I (standard loads)	(equivalent gates)		
AND	2	0.15 + 0.037L	0.16 + 0.017L	1.0	2		
AND	3	0.20 + 0.038L	0.18 + 0.018L	1.0	2		
AND	4	0.28 + 0.039L	0.21 + 0.019L	1.0	3		
OR	2	0.12 + 0.037L	0.20 + 0.019L	1.0	2		
OR	3	0.12 + 0.038L	0.34 + 0.022L	1.0	2		
OR	4	0.13 + 0.038L	0.45 + 0.025L	1.0	3		
NOT	1	0.02 + 0.038L	0.05 + 0.017L	1.0	1		
NAND	2	0.05 + 0.038L	0.08 + 0.027L	1.0	1		
NAND	3	0.07 + 0.038L	0.09 + 0.039L	1.0	2		
NAND	4	0.10 + 0.037L	0.12 + 0.051L	1.0	2		
NAND	5	0.21 + 0.038L	0.34 + 0.019L	1.0	4		
NAND	6	0.24 + 0.037L	0.36 + 0.019L	1.0	5		
NAND	8	0.24 + 0.038L	0.42 + 0.019L	1.0	6		
NOR	2	0.06 + 0.075L	0.07 + 0.016L	1.0	1		
NOR	3	0.16 + 0.111L	0.08 + 0.017L	1.0	2		
NOR	4	0.23 + 0.149L	0.08 + 0.017L	1.0	4		
NOR	5	0.38 + 0.038L	0.23 + 0.018L	1.0	4		
NOR	6	0.46 + 0.037L	0.24 + 0.018L	1.0	5		
NOR	8	0.54 + 0.038L	0.23 + 0.018L	1.0	6		
XOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3		
		0.16 + 0.036L	0.15 + 0.020L	2.0			
XOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6		
		0.28 + 0.039L	0.27 + 0.027L	2.4			
		0.19 + 0.036L	0.17 + 0.025L	2.1			
XNOR	2*	0.30 + 0.036L	0.30 + 0.021L	1.1	3		
		0.16 + 0.036L	0.15 + 0.020L	2.0			
XNOR	3*	0.50 + 0.038L	0.49 + 0.027L	1.1	6		
		0.28 + 0.039L	0.27 + 0.027L	2.3			
		0.19 + 0.036L	0.17 + 0.025L	1.3			
2-OR/NAND2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2		
2-AND/NOR2	4	0.17 + 0.075L	0.10 + 0.028L	1.0	2		

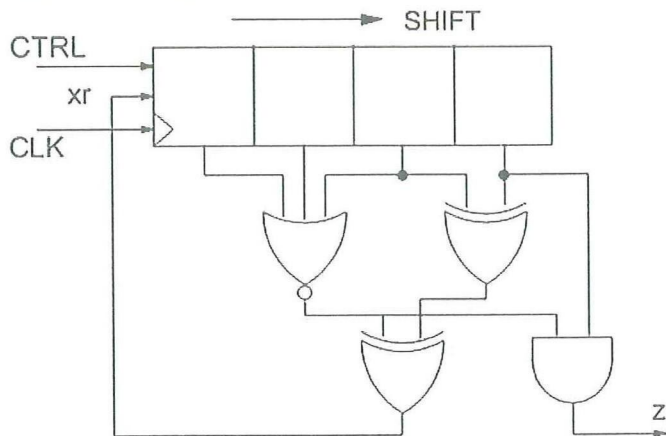
Opgave 5: (Question 5)

Welk van de 4 volgende optellingen van 8 bits two's complement getallen zal een overflow geven?

(English: Which of the following 4 additions of 8-bit 2's complement numbers will generate an overflow?)

- | | | | |
|----|-------------------|----|-------------------|
| a. | 11111111 | b. | 01111000 |
| | <u>11111111 +</u> | | <u>00001001 +</u> |
| c. | 01111111 | d. | 10101001 |
| | <u>11111111 +</u> | | <u>11010111 +</u> |

Opgave 6: (Question 6)



(English: Consider the circuit with gates and their delays:)

```

delay XOR: 12 nsec.
delay NOR3: 16 nsec.
delay AND: 10 nsec.

```

(English: and the delays for
the shift register:)

```

setup tijd: 4 nsec.
holdtijd: 2 nsec.
omslagtijd: 6 nsec.

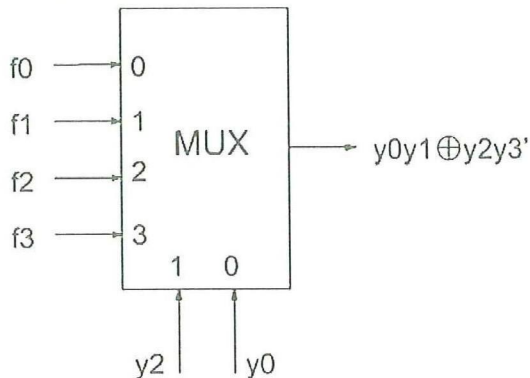
```

Wat is de maximale klokpulsfrequentie waarbij het system nog goed kan werken?

(English: What is the maximum clock frequency such that the system is still correctly functioning?)

- a. 30.3 Mhz
b. 29.4 Mhz
c. 27.7 Mhz
d. 26.3 Mhz

Opgave 7: (Question 7)



Met behulp van een multiplexer wordt een $f(y_0, y_1, y_2, y_3)$ gemaakt. Wat moet er als f_2 worden aangeboden ?

(English: Using a multiplexer the function $f(y_0, y_1, y_2, y_3)$ is implemented. What should be presented for input f_2 ?)

- y_0'
- y_1
- y_2
- y_3'

Opgave 8: (Question 8)

Gegeven 2 beweringen: (English: Given the following 2 statements:)

$$\text{I.} \quad x.y + x.z + y.z = \overline{x.y \oplus x.z \oplus y.z}$$

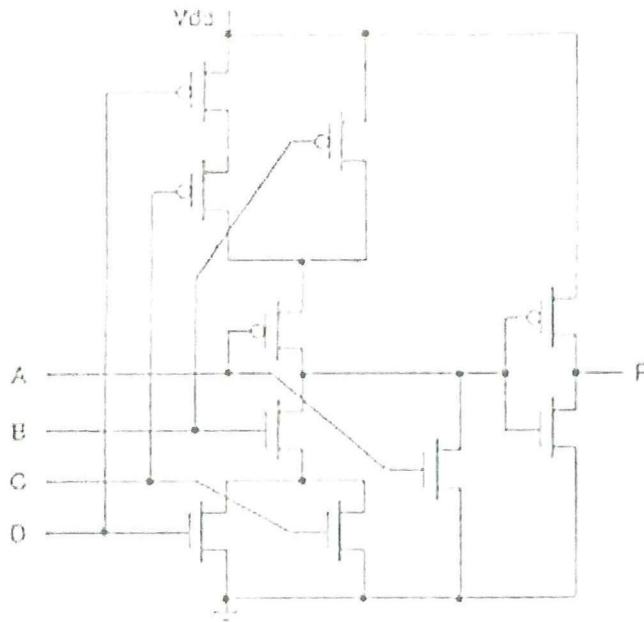
$$\text{II. } y.z + (x.y \oplus x.z) = (x.z + y.z) \oplus x.y$$

Wat kunt u zeggen over deze beweringen?

(English: What can be said about the given statements?)

	I	II
a.	Onjuist (incorrect)	Onjuist (incorrect)
b.	Onjuist (incorrect)	Juist (correct)
c.	Juist (correct)	Onjuist (incorrect)
d.	Juist (correct)	Juist (correct)

Opgave 9: (Question 9)



Nevenstaand schema geeft de opbouw van een logische functie met MOS transistoren weer. Wat is de bij dit schema behorende formule?

(English: In the figure, a logical function using MOS transistors is depicted. What is the corresponding expression?)

- a. $F = A' + B' \cdot (C' + D')$
- b. $F = A' \cdot (B' + C' \cdot D')$
- c. $F = A \cdot (B + C \cdot D)$
- d. $F = A + B \cdot (C + D)$

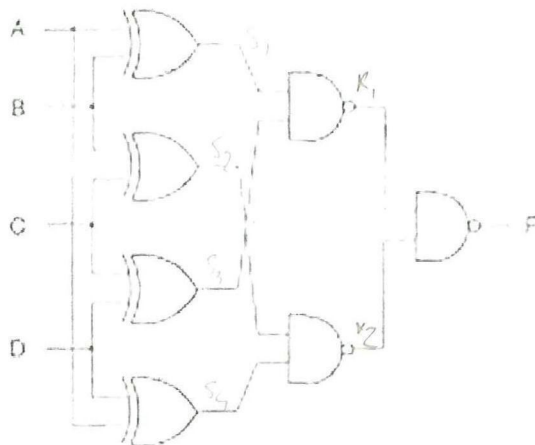
Opgave 10: (Question 10)

Een sequentiële schakeling bestaat uit 3 D-flipflops A, B en C met respectievelijk de uitgangssignalen a, b en c. Het signaal dat de flipflop C aanstuurt heeft als formule $D_c = a \cdot b \cdot c' + c \cdot (a' + b')$. De ontwerper overweegt de D-flipflops te vervangen door T-flipflops of SR-flipflops. Wat zijn in die twee gevallen de aansturingen van de T ingang en van de R(eset) ingang van de T/SR-flipflop C, respectievelijk?

(English: A sequential network consists of 3 D-flipflops A, B, and C with their respective output signals a, b, and c. The signal that drives flipflop C has the following expression: $D_c = a \cdot b \cdot c' + c \cdot (a' + b')$. The designer considers to replace the D-flipflops with T-flipflops or SR-flipflops. What are in these two cases the drivers of the T-input and the R(reset) input of the T/SR-flipflop C, respectively?)

	T_c	R_c
a.	a.b	a.b.c
b.	$(a + b) \cdot c'$	a.b.c
c.	a.b	$a.b + c'$
d.	$(a + b) \cdot c'$	$a.b + c'$

Opgave 11: (Question 11)

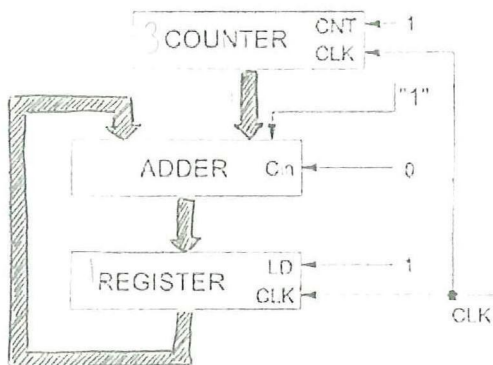


Gegeven nevenstaand schema, bepaal de functie $F(A,B,C,D)$ van het poortnetwerk en schrijf F als een produkt van sommen.

(English: Given the circuit, determine function $F(A,B,C,D)$ of the gate network and write F as a product of sumterms.)

- $(A+B+C'+D') (A+B'+C+D') (A+B'+C'+D) .$
 $(A'+B+C+D') (A'+B+C'+D) (A'+B'+C+D)$
- $(A+B+C) (A+B+D) (A'+B'+C') (A'+B'+D') .$
 $(A+C+D) (B+C+D) (A'+C'+D') (B'+C'+D')$
- $(A'+B) (A+B') (C'+D) (C+D') . (A'+C) (A+C') (B'+D) (B+D')$
- $(A+B+C) (A+B+D) (A+C+D) (B+C+D)$

Opgave 12: (Question 12)



In het getekende systeem worden aan de ADDER twee getallen aangeboden, nl: de inhoud van het REGISTER en de inhoud van de TELLER, echter aangevuld met een "vaste" 1 aan de laagwaardige kant. Als de klokpulsen worden genummerd met X , en voor $X = 0$ de inhoud van TELLER en REGISTER respectievelijk 3 en 1 zijn, hoe kan dan de inhoud van het REGISTER als functie van het klokpulsnummer beschreven worden?

(English: In the drawn system, two numbers are presented to the ADDER unit, namely the content of REGISTER and the content of TELLER appended with a "fixed" 1 at the least significant position. When the clock cycles are numbered with X and for $X=0$ the contents of TELLER and REGISTER are 3 and 1, respectively, how can the content of REGISTER as a function of the number of clock cycles be described?)

- $X^2 + 8X + 1$
- $X^2 + 6X + 1$
- $\frac{1}{2}X^2 + 3\frac{1}{2}X + 1$
- $\frac{1}{2}X^2 + 2\frac{1}{2}X + 1$

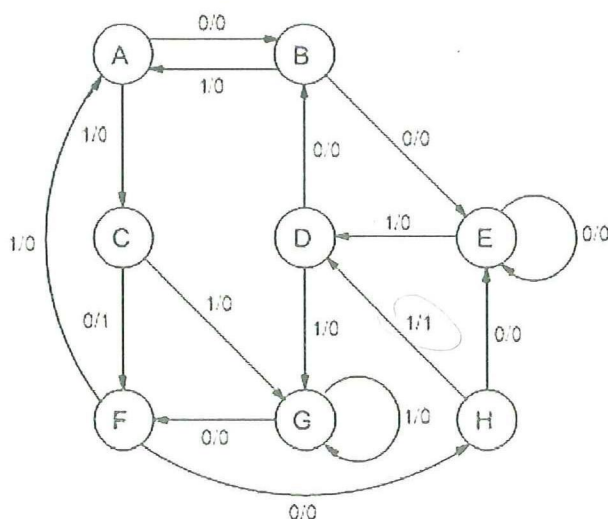
Opgave 13: (Question 13)

Iemand maakt een decimale teller met een progressieve code opgebouwd uit een teller met een BCD-code en een codeomzetter. Als de BCD-teller de uitgangen x_3, x_2, x_1, x_0 heeft en de standen 0000, 0001, 1000, 1001, 0000 doorloopt en als voor de progressieve code y_3, y_2, y_1, y_0 achtereenvolgens 0000, 0001, 0011, 0010, 0110, 1110, 1010, 1011, 1001, 1000, 0000 enz. wordt geeist, wat is dan de expressie voor y_2 geschreven als $f(x_3, x_2, x_1, x_0)$?

(English: Someone is building a decimal counter with a progressive code comprising a counter using BCD-code and a code converter. The BCD-counter has outputs x_3, x_2, x_1, x_0 en goes through the following states: 0000, 0001, 1000, 1001, 0000. The progressive code y_3, y_2, y_1, y_0 needs to exhibit the following sequence: 0000, 0001, 0011, 0010, 0110, 1110, 1010, 1011, 1001, 1000, 0000, etc. What is then the logical expression for y_2 written as $F(x_3, x_2, x_1, x_0)$?)

- a. $x_1' \cdot x_2$
- b. $x_3 + (x_0 + x_1) \cdot x_2$
- c. $x_1 + x_2$
- d. $x_2 + x_1 \cdot x_3$

Opgave 14: (Question 14)



Nevenstaand toestandsdiagram beschrijft een machine met 1 ingang $x \in \{0,1\}$ en 1 uitgang $z \in \{0,1\}$. Uit de reeks achtereenvolgens binnenkomende bits x kunnen 2 bitpatronen herkend worden. De machine geeft met $z = 1$ aan dat een van de 2 bitpatronen herkend is. Hierbij kunnen de patronen overlappend zijn, dat betekent dat een herkend patroon al weer een gedeelte van het volgende te herkennen patroon kan bevatten. Welke twee bitpatronen worden door de machine herkend?

(English: The given state diagram describes a machine with 1 input $x \in \{0,1\}$ and 1 output $z \in \{0,1\}$. From the sequence of incoming bits x , two bit patterns can be recognized. The machine indicates with $z = 1$ that one of the 2 patterns was recognized. The patterns can be overlapping, meaning that a recognized pattern can be part of the next to-be-reconsigned pattern. Which 2 bit patterns will be recognized by the machine?)

- a. 10110 en 00111
- b. 10110 en 11001
- c. 01100 en 00111
- d. 01100 en 11001

Opgave 15: (Question 15)

Iemand verwisselt bij het opschrijven van een hexadecimaal getal 2 aangrenzende cijfers. Hierdoor wordt het getal 1200 (decimaal) groter. Als één der verwisselde cijfers een 2 was, wat was dan het andere cijfer?

(English: Someone exchanges 2 digits when writing down a hexadecimal number. This causes the number to be 1200 (decimal) larger. If one of the two exchanged digits was 2, what was the other digit?)

- a. A
- b. 9
- c. 8
- d. 7

Opgave 16: (Question 16)

Met 256 geheugenchips van 8Kx8 en een decoder wordt een groter geheugensysteem voor woorden van 32 bits samengesteld. Hoeveel adreslijnen heeft dit nieuwe systeem en hoeveel daarvan zijn met de decoder verbonden?

(English: With 256 memory chips of 8Kx8 and a decoder, a larger memory system with words of 32 bits is built. How many address lines does this system have and how many of them are connected to the decoder?)

- a. 17 address lines with 6 going to the decoder
- b. 17 address lines with 8 going to the decoder
- c. 19 address lines with 6 going to the decoder
- d. 19 address lines with 8 going to the decoder

Opgave 17: (Question 17)

Specificatie van een 1_of_2_opteller is: (English: Specification of a 1_or_2_adder is:)

Inputs: $0 \leq x \leq 63$

$s \in \{1, 2\}$

Output: $0 \leq z \leq 63$

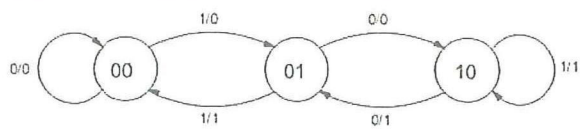
Function $z = \begin{cases} (x+1) \bmod 64 & \text{if } s = 1 \\ (x+2) \bmod 64 & \text{otherwise} \end{cases}$

Voor de codering worden de bitvectoren x en z afgebeeld op getallen x_i en z_i in het 2-tallig stelsel, en $s=1 \rightarrow s_0=1$ en $s=2 \rightarrow s_0=0$. Wat is de juiste expressie voor z_5 ?

(English: For the coding of bit vectors x and z , we use a binary coding of x_i and z_i , and $s=1 \rightarrow s_0=1$ en $s=2 \rightarrow s_0=0$. What is the correct expression for z_5 ?)

- a. $x_5 \oplus ((x_4' + x_3' + x_2' + x_1') \cdot (x_0 s_0 + s_0'))$
- b. $x_5 \oplus (x_4 \cdot x_3 \cdot x_2 \cdot x_1 \cdot (x_0 s_0 + s_0'))$
- c. $x_5 \oplus ((x_4' + x_3' + x_2' + x_1') \cdot s_0 \cdot x_0')$
- d. $x_5 \oplus (x_4 \cdot x_3 \cdot x_2 \cdot x_1 \cdot s_0 \cdot x_0')$

Opgave 18: (Question 18)



PS	input			
	00	01	10	11
00				
01		Sa/ya		Sb/yb
10				

NS/OUT

Links is een toestandsdiagram gegeven van een machine die van een reeks ingangsbits, per klokpuls, 1 bit als ingang verwerkt en 1 bit als uitgang geeft.

Bepaal de machine met gelijke werking, maar met dubbele snelheid, d.w.z. een machine die per klokpuls 2 bits van de inputreeks verwerkt en ook 2 outputbits geeft. De tijdsvolgorde is dezelfde als de schrijfrichting dus b_t b_{t+1} . Van de tabel worden 2 combinaties gevraagd.

(English: Above is given a state diagram of a machine that (per clock cycle) processes an input bit and produces an output bit. Derive a machine with the same operation, but at double the speed, i.e., a machine that reads 2 input bits and produces 2 output bits per clock cycle. The timing order is the same as the order of writing, i.e., b_t b_{t+1} . In the state table of the new machine, two combinations are asked.)

	Sa/ya		Sb/yb
a.	01/01	en	01/11
b.	10/01	en	01/10
c.	01/11	en	00/10
d.	10/01	en	00/10

Opgave 19: (Question 19)

Gegeven het volgende VHDL process: (English: Given the following VHDL process:)

```

PROCESS
BEGIN
    out1 <= s1 AND s4 AFTER 4 ns;
    out2 <= NOT(s3) AFTER 10 ns;
    wait for 20 ns;
END PROCESS;
  
```

Alle signalen zijn van het type **std_logic**. Neem aan dat alle signalen de waarde '1' hebben. Als het process op 0 (nul) ns eenmaal is gestart, op welk tijdstip zal dit process opnieuw worden gestart (uitgedrukt in simulatietijd)?

(English: All signals are of type **std_logic**. Assume that all signals have a value of '1'. After the process is started once at 0 (zero) ns, when will the process be started again (expressed in simulation time)?)

- geen tijd (0 ns)
- een delta delay (Δ ns)
- de delay van de wait statement (20 ns)
- de som van alle delay statements inclusief wait statement (34 ns)

Opgave 20: (Question 20)

Gegeven de volgende VHDL beschrijving: (English: Given the following VHDL description)

```
ENTITY vijf_delez IS
  PORT (x_ : IN BIT ;
        z : OUT BIT ;
        clk : IN BIT);
END vijf_delez;

ARCHITECTURE behavioral OF vijf_delez IS
  TYPE stateT IS (S0, S1, S2, S3, S4);
  SIGNAL state: stateT;
BEGIN
  PROCESS (clk)
  BEGIN
    IF (clk'EVENT AND clk='1') THEN
      CASE state IS
        WHEN S0 => IF (x = '0') THEN state <= S0;
                    ELSE state <= S1;
                    END IF;
        WHEN S1 => IF (x = '0') THEN state <= S2;
                    ELSE state <= S3;
                    END IF;
        WHEN S2 => IF (x = '0') THEN state <= S4;
                    ELSE state <= S0;
                    END IF;
        WHEN S3 => IF (x = '0') THEN state <= S1;
                    ELSE state <= S2;
                    END IF;
        WHEN S4 => IF (x = '0') THEN state <= S3;
                    ELSE state <= S4;
                    END IF;
      END CASE;
    END IF;
  END PROCESS;
```

```
PROCESS (state,x)
BEGIN
  CASE state IS
    WHEN S0 => z <= 0;
    WHEN S1 => z <= 0;
    WHEN S2 => z <= x;
    WHEN S3 => z <= 1;
    WHEN S4 => z <= 1;
  END CASE;
END PROCESS;
END behavioral;
```

Wat zijn de achtereenvolgende waarden van z als Start is S0 en x = 0,1,1,0,0,1,1,1 ?
(English: What are the subsequent values of z when Start is S0 and x = 0,1,1,0,0,1,1,1 ?)

- a. 0, 0, 0, 1, 0, 1, 0, 0
- b. 0, 0, 1, 1, 0, 1, 0, 0
- c. 0, 0, 0, 1, 0, 0, 0, 1
- d. 0, 0, 1, 0, 0, 0, 0, 1